

\_\_\_\_\_

**Offenlegungsschrift**  
**DE 196 09 085 A 1**

(51) Int. Cl.<sup>8</sup>:  
**G 01 R 31/3177**

(21) Aktenzeichen: 198 09 085.7  
 (22) Anmeldetag: 8. 3. 96  
 (43) Offenlegungstag: 12. 9. 96

**Sanada, Masaru, Tokio/Tokyo, JP**

[illegible]

**DE 196 09 085 A 1**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 07. 96 602 037/730

25/24

Die Erfindung betrifft ein System zur Erfassung eines Fehlerblocks in einer Halbleitervorrichtung wie einer CMOS-Vorrichtung, die aus einer Anzahl von Logikblöcken gebildet ist.

In einem bekannten System zum Testen einer Halbleitervorrichtung wird die Vorrichtung unter Verwendung eines Funktionstestmusters betrieben, und als Ergebnis wird ein Ausgabemuster an den Ausgängen der Vorrichtung erhalten. Dann wird das Ausgabemuster mit einem erwarteten Muster verglichen. Auf diese Weise wird auf der Basis, ob das Ausgabemuster mit dem erwarteten Muster übereinstimmt oder nicht, eine Entscheidung getroffen, ob eine Vorrichtung normal oder fehlerhaft ist.

Nachdem festgestellt wurde, daß die Vorrichtung fehlerhaft ist, wird ein Fehlerpunkt entsprechend einer Fehlertabelle zum Speichern der Beziehung zwischen Funktionstestmustern und Ausgabemustern für virtuelle Fehler abgeschätzt.

Die Fehlertabelle wird durch Durchführung einer Fehlersimulation erstellt.

Bei dem oben beschriebenen bekannten Testgerät ist jedoch eine große Anzahl von Fehlersimulationen erforderlich, um die Fehlertabelle zu vervollständigen, wenn die Vorrichtung hoch integriert ist.

Desweiteren ist das Volumen der Fehlertabelle sehr groß. Beispielsweise

$$V_0 \sim L^2 \sim 3.$$

wobei  $V_0$  das Volumen der Fehlertabelle ist und  $L$  die Anzahl der Logikschaltungen in der Vorrichtung ist.

Es ist somit extrem schwierig, einen Fehlerpunkt einer hochintegrierten Halbleitervorrichtung festzustellen.

Der Erfindung liegt die Aufgabe zugrunde, effektiv einen Fehlerpunkt einer hochintegrierten Halbleitervorrichtung feststellen zu können.

Erfindungsgemäß werden in einer Halbleitervorrichtung, die durch eine Anzahl von Logikblöcken gebildet ist, eine Anzahl von Funktionstestmustern erzeugt und an die Halbleitervorrichtung übertragen. Falls ein fehlerhafter Strom bei Empfang des  $i$ -ten Funktionstestmusters erfaßt wird und ein Ausgabedatum sich von einem erwarteten Datum bei Empfang des  $j$ -ten ( $j > i$ ) Funktionstestmusters unterscheidet, wird ein Fehlerblock in Übereinstimmung mit dem  $i$ -ten Funktionstestmuster und dem  $j$ -ten Funktionstestmuster bestimmt.

Nachdem der Fehlerblock bestimmt wurde, wird ein Fehlerpunkt innerhalb des Fehlerblocks durch das bekannte Testsystem abgeschätzt. In diesem Fall erfordert das vorbekannte Testsystem keine umfangreiche Fehlertabelle.

Die Erfindung wird in der folgenden Beschreibung in Verbindung mit beigelegten Zeichnungen und im Vergleich mit dem Stand der Technik dargestellt. Es zeigen:

Fig. 1 ein Schaltungsdiagramm einer normalen CMOS-NOR-Schaltung mit zwei Eingängen,

Fig. 1B eine Wahrheitstabelle der NOR-Schaltung von Fig. 1A,

Fig. 2A ein Schaltungsdiagramm einer fehlerhaften CMOS-NOR-Schaltung mit zwei Eingängen,

Fig. 2B eine Wahrheitstabelle der NOR-Schaltung von Fig. 2A,

Fig. 3 ein dreidimensionales Diagramm zur Erläuterung der Signalfortpflanzung von einem Fehlerpunkt zu

Ausgangsdatenstiften,

Fig. 4 ein Blockschaltungsdiagramm zur Erläuterung eines Ausführungsbeispiels des erfindungsgemäßen Fehlerblock-Erfassungsgerätes,

Fig. 5 eine Tabelle zur Erläuterung der Beziehung zwischen den Funktionstestmustern und betriebenen Blöcken,

Fig. 6A und 6B Flußdiagramme eines ersten Betriebs der Steuerschaltung von Fig. 4,

Fig. 7 ein  $V_{DD}$ -Ruhezufuhrstromdiagramm ( $I_{QQD}$ ) zur Erläuterung des Flußdiagramms der Fig. 6,

Fig. 8 ein Layout-Diagramm der Halbleitervorrichtung der Fig. 4 zur Erläuterung des Betriebs des Flußdiagramms der Fig. 6,

Fig. 9A und 9B Flußdiagramme eines zweiten Betriebs der Steuerschaltung der Fig. 4,

Fig. 10 ein  $V_{DD}$ -Ruhezufuhrstromdiagramm ( $I_{QQD}$ ) zur Erläuterung des Flußdiagramms der Fig. 9,

Fig. 11 ein Layout-Diagramm der Halbleitervorrichtung von Fig. 4 zur Erläuterung des Betriebs des Flußdiagramms der Fig. 9,

Fig. 12A und 12B Flußdiagramme einer Modifikation des Ablaufs der Fig. 6,

Fig. 13 ein  $V_{DD}$ -Ruhezufuhrstromdiagramm ( $I_{QQD}$ ) zur Erläuterung des Flußdiagramms der Fig. 12,

Fig. 14A und 14B Flußdiagramme einer Modifikation des Ablaufs der Fig. 9,

Fig. 15 ein  $V_{DD}$ -Ruhezufuhrstromdiagramm ( $I_{QQD}$ ) zur Erläuterung des Flußdiagramms der Fig. 14,

Fig. 16A und 16B Flußdiagramme einer weiteren Modifikation des Ablaufs der Fig. 9,

Fig. 17 ein  $V_{DD}$ -Ruhezufuhrstromdiagramm ( $I_{QQD}$ ) zur Erläuterung des Ablaufs der Fig. 16,

Fig. 18 ein Layoutdiagramm der Halbleitervorrichtung der Fig. 4 zur Erläuterung des Betriebs des Flußdiagramms der Fig. 16,

Fig. 19A und 19B Flußdiagramme einer weiteren Modifikation des Ablaufs der Fig. 9,

Fig. 20 ein  $V_{DD}$ -Ruhezufuhrstromdiagramm zur Erläuterung des Ablaufs der Fig. 19,

Fig. 21 ein Layoutdiagramm der Halbleitervorrichtung der Fig. 4 zur Erläuterung des Betriebs des Flußdiagramms der Fig. 19, und

Fig. 22A, 22B und 22C Diagramme zur Erläuterung eines Testsystems, bei dem die vorliegende Erfindung angewandt ist.

Zunächst wird das Prinzip der vorliegenden Erfindung mit Bezug auf die Fig. 1A, 1B, 2A, 2B und 3 erläutert.

In Fig. 1A, die eine normale CMOS-NOR-Schaltung mit zwei Eingängen erläutert, sind P-Kanal-MOS-Transistoren  $Q_{p1}$  und  $Q_{p2}$  in Reihe zwischen ein Versorgungsspannungsanschluß  $V_{DD}$  und einen Ausgangsanschluß OUT geschaltet, und N-Kanal-MOS-Transistoren  $Q_{n1}$  und  $Q_{n2}$  sind parallel zwischen den Ausgangsanschluß OUT und einen Masseanschluß GND geschaltet. Die Transistoren  $Q_{p1}$  und  $Q_{n1}$  werden durch die Spannung an einem Eingangsanschluß IN1 gesteuert, und die Transistoren  $Q_{p2}$  und  $Q_{n2}$  werden durch die Spannung an einem Eingangsanschluß IN2 gesteuert. Die Wahrheitstabelle der NOR-Schaltung von Fig. 1A ist in Fig. 1B dargestellt.

In Fig. 1A ergibt sich kein  $V_{DD}$ -Ruheversorgungsstrom  $I_{QQD}$ , der vom Spannungsversorgungsanschluß  $V_{DD}$  zum Masseanschluß GND fließt. Das bedeutet, daß der  $V_{DD}$ -Versorgungsstrom  $I_{QQD}$  in einem normalen Zustand ist.

In Fig. 2A, die eine fehlerhafte CMOS-NOR-Schal-

tung mit zwei Eingängen darstellt, sei angenommen, daß das Gate des N-Kanal-Transistors  $Q_{n2}$  offen ist, so daß der N-Kanal-Transistor  $Q_{n2}$  in einem normalerweise eingeschalteten Zustand ist. Wenn die Spannungen an den Eingangsanschlüssen IN1 und IN2 beide niedrig sind, fließt als Ergebnis ein Penetrationsstrom, d. h. ein großer  $V_{DD}$ -Ruheversorgungsstrom  $I_{qqd}$ . Das bedeutet, daß der  $V_{DD}$ -Ruheversorgungsstrom  $I_{qqd}$  in einem abnormen Zustand ist.

Wenn die Spannungen an den Eingangsanschlüssen IN1 und IN2 beide auf niedrig sind, ist desweiteren in Fig. 2A die Spannung  $V_{out}$  am Ausgangsanschluß OUT

$$V_{out} = V_{DD} \cdot (Z_n) / (2 \cdot Z_p + Z_n)$$

wobei  $Z_p$  die Impedanz des P-Kanaltransistors  $Q_{p2}$  ist,  $Z_n$  die Impedanz jedes N-Kanaltransistors  $Q_{n1}$  und  $Q_{n2}$  ist und

$V_{th}$  die Logikschwellenspannung eines CMOS-Inverters ist. Falls  $Z_p = Z_n$ , dann gilt

$$V_{out} = (1/3)V_{DD} < V_{th}$$

Aufgrund dessen ist die Wahrheitstabelle der NOR-Schaltung der Fig. 2A in Fig. 2B angegeben.

Falls somit eine Halbleitervorrichtung in einer solchen CMOS-Vorrichtung einen physikalischen Defekt aufweist, fließt durch sie im allgemeinen ein abnormer  $V_{DD}$ -Ruheversorgungsstrom (vgl.: M. Sanada, "New Application of Laser Beam to Failure Analysis of LSI with Multi-Metal Layers", Microelectronics and Reliability, Band 33, Nr. 7, Seite 993—1009, 1993, und M. Sanada, "Evaluation and Detection of CMOS-LSI with abnormal IDDQ", Microelectronics and Reliability, Band 35, Nr. 3, Seiten 619 bis 629, 1995).

In Fig. 3, die ein dreidimensionales Diagramm zur Erläuterung der Fehlerfortpflanzung von einem Fehlerpunkt an die Datenausgangsstifte darstellt, bezeichnet ein in der XY-Ebene dargestelltes Rechteck eine Halbleitervorrichtung (Chip) und das Rechteck wandert entlang der Z-Achse, die eine Änderung eines Funktionstestmusters FTP (ADD) zeigt. Das bedeutet, wenn ein Funktionstestmuster FTP (a) an die Halbleitervorrichtung angelegt wird, wird ein  $V_{DD}$ -Zufuhrstrom  $I_{qqd}$  erfaßt. In diesem Fall sei angenommen, daß der Ruhezufuhrstrom von einem Fehlerpunkt (oder Block) P abgeleitet wird. Wenn dann das Funktionstestmuster FTP fortschreitet, pflanzt sich eine Fehlerinformation, die von dem Fehlerpunkt P abgeleitet wird, durch die Halbleitervorrichtung fort. Wenn ein Funktionstestmuster FTP(b) an die Halbleitervorrichtung angelegt wird, erreicht als Ergebnis die Fehlerinformation einen Ausgangsdatenstift Pb. Dies kann durch Vergleich der Daten am Ausgangsdatenstift Pb mit den erwarteten Daten erfaßt werden. Wenn ein Funktionstestmuster FTP(c) an die Halbleitervorrichtung angelegt wird, erreicht die Fehlerinformation auch einen Ausgangsdatenstift Pc. Dies kann durch Vergleich von Daten an dem Ausgangsdatenstift Pc mit den erwarteten Daten bestimmt werden. Wenn des weiteren ein Funktionstestmuster FTP(d) an die Halbleitervorrichtung angelegt wird, erreicht die Fehlerinformation einen Ausgangsdatenstift Pd. Dies kann durch Vergleich von Daten an dem Ausgangsdatenstift Pd mit den erwarteten Daten erfaßt werden.

Erfindungsgemäß wird ein Fehlerpunkt (Block) aus Blocks bestimmt, die sich auf das Funktionstestmuster FTP(a) beziehen, und aus Blocks, die sich auf die Funk-

tionstestmuster FTP(b), FTP(c) oder FTP(d) beziehen.

Fig. 4 erläutert ein Ausführungsbeispiel der Halbleitervorrichtung wie eine CMOS-LSI-Vorrichtung mit einer Anzahl von Logikblöcken  $B_1, B_2 \dots B_2$ . Dateneingangsstifte 1a der Halbleitervorrichtung 1 werden mit einem Funktionstestmuster FTP versorgt. Das Funktionstestmuster wird durch einen Speicher 2, eine Zeitgeneratorschaltung 3, eine Mustergeneratorschaltung 4, einen Formatkontrolller 5 und PIN-Elektronikeinheiten 61, 62 ..., die mit den Eingangskissen der Halbleiterschaltung 1 verbunden sind, erzeugt.

Die Zeitgeneratorschaltung 3 erzeugt ein Zeitsteuersignal zum Definieren einer Testrate  $T_0$ , einer Verzögerungszeit  $T_D$  und einer Pulsbreite  $T_w$ . Desweiteren erzeugt die Zeitgeneratorschaltung 3 ein Tastsignal (Strobe) STB und überträgt es an einen Stromdetektor 8 zur Erfassung eines  $V_{DD}$ -Ruhezufuhrstroms  $I_{qqd}$ , der von einem Versorgungsanschluß  $V_{DD}$  zu einem Masseanschluß GND in der Halbleitervorrichtung 1 fließt.

Die Mustergeneratorschaltung 4 erzeugt ein momentanes Muster in Übereinstimmung mit Daten, die aus dem Speicher 2 ausgelesen werden und im allgemeinen komprimiert sind.

Jede der PIN-Elektronikeinheiten 61, 62, ... wird von Spannungen  $V_H$  und  $V_L$  gespeist, die durch Digital/Analog-Wandler (D/A) 71 bzw. 72 erzeugt werden. Wenn beispielsweise der PIN-Elektronikeinheit 61 "0" zugeführt wird, wird die Spannung  $V_L (= 0V)$  dem entsprechenden Eingangskissen angelegt. Wenn "1" der PIN-Elektronikeinheit 61 zugeführt wird, wird die Spannung  $V_H$  an das entsprechende Eingangskissen angelegt.

Der Speicher 2 erhält ein Adreßsignal SADD von einer Steuerschaltung 9, die eine Zentralprozessoreinheit (CPU), ROMs, RAMs u. dgl. aufweist.

Falls somit der Inhalt ADD des Adreßsignals SADD durch die Steuerschaltung 9 inkrementiert wird, werden sequentiell Funktionstestmuster erzeugt und an die Halbleitervorrichtung 1 übertragen. Gleichzeitig überwacht die Steuerschaltung 9 mittels des Stromdetektors 8 den Ruheversorgungsstrom  $I_{qqd}$ , der durch die Halbleitervorrichtung 1 fließt.

Desweiteren vergleicht die Steuerschaltung 9 die Ausgangsdaten an den Datenausgangsstiften 1b mit erwarteten Daten vom Speicher 2.

Desweiteren sind mit der Steuerschaltung 9 ein Eingabegerät 10 wie eine Tastatur oder Kontroller und ein Ausgabegerät 11 wie eine CRT (Bildschirm) verbunden.

In dem RAM der Steuerschaltung 9 ist eine Tabelle gespeichert, die die Beziehung zwischen den Funktionstestmustern FTP(ADD) und den Blöcken angibt, die durch die Funktionstestmuster FTP(ADD) betrieben werden, wie in Fig. 5 dargestellt ist. Es soll festgestellt werden, daß diese Blöcke unter Verwendung von anwendungsspezifischer integrierter Schaltungstechnologie (ASIC) wie Gatearraytechnologie bezeichnet werden, und aufgrunddessen kann die obengenannten Beziehung vorher erstellt werden.

Die Fig. 6A und 6B zeigen einen ersten Betrieb der Steuerschaltung 9, Fig. 7 ist ein Ruhestromzufuhrdiagramm zur Erläuterung des Ablaufs der Fig. 6, und Fig. 8 ist ein Layoutdiagramm zur Erläuterung des Ablaufs der Fig. 6.

Zunächst, im Schritt 601, wird die Adresse ADD rückgestellt.

Der Schritt 602 wartet, bis eine vorgegebene Zeitspanne abgelaufen ist, so daß die Halbleitervorrichtung 1 auf das Funktionstestmuster FTP der Adresse ADD antwortet, um einen stabilen Ruhezufuhrstrom  $I_{qqd}$  zu

erhalten. Nachdem die vorgegebene Zeit abgelaufen ist, geht die Steuerung weiter zum Schritt 603.

Im Schritt 603 wird festgestellt, ob  $I_{qdd} > I_R$  (definierter Wert) erfüllt ist. Falls  $I_{qdd} \leq I_R$ , was bedeutet, daß der Ruhezufuhrstrom  $I_{qdd}$  normal ist, geht die Steuerung zu den Schritten 604 und 605. Wenn andererseits  $I_{qdd} > I_R$ , was bedeutet, daß der Ruheversorgungsstrom  $I_{qdd}$  abnorm ist, geht die Steuerung zum Schritt 606.

Die Schritte 604 und 605 wiederholen den Betrieb der Schritte 602 und 603 bis ADD seinen Maximalwert MAX erreicht. Wenn ADD im Schritt 605 MAX erreicht, geht die Steuerung direkt zum Schritt 617.

Wie in Fig. 7 dargestellt ist, ist der Ruheversorgungsstrom  $I_{qdd}$  gewöhnlich normal ( $I_{qdd} \leq I_R$ ). Falls somit  $I_{qdd} > I_R$  bei  $ADD = a$  ist, wie in Fig. 7 dargestellt ist, bedeutet dies, daß der Ruheversorgungsstrom  $I_{qdd}$  vom normalen Zustand in einen abnormen Zustand geschaltet wird. Aufgrund dessen werden im Schritt 606 Übergangsblöcke zwischen dem Funktionstestmuster FTP(a-1) und dem Funktionstestmuster FTP(a) mit Bezug auf die Tabelle, die in Fig. 5 dargestellt ist, herausgezogen (extrahiert), da anzunehmen ist, daß ein Fehlerpunkt in einem oder mehreren der Übergangsblöcke existiert. In diesem Fall sind die Übergangsblöcke wie in Fig. 8 dargestellt. Dann geht die Steuerung weiter zum Schritt 607.

Im Schritt 607 wird festgestellt, ob die Ausgangsdaten an den Datenausgangsstiften 1b dieselben wie die erwarteten Daten vom Speicher 2 sind. Falls die Ausgangsdaten an den Datenausgangsstiften 1b dieselben wie die erwarteten Daten sind, geht als Ergebnis die Steuerung weiter zu den Schritten 608, 609 und 610, die den Betrieb des Schritts 607 wiederholen, bis ADD MAX erreicht. Wenn ADD im Schritt 609 MAX erreicht, geht die Steuerung über den Schritt 611 weiter zum Schritt 615. Es soll festgestellt werden, daß im Schritt 611 angenommen wird, daß alle Übergangsblöcke Fehlerpunkte enthalten.

Wenn andererseits die Ausgangsdaten sich von den erwarteten Daten unterscheiden, und zwar bei  $ADD = b$ , wie in Fig. 7 dargestellt ist, geht die Steuerung vom Schritt 607 zum Schritt 612.

Im Schritt 612 wird ein Ausgangsstift für abnorme Daten wie  $P_b$  der Datenausgangsstifte 1b, der in Fig. 8 dargestellt ist, extrahiert.

Als nächstes werden im Schritt 613 die Ausgangssignale der Übergangsblöcke durch eine Logiksimulation oder eine Schaltungsaufbauinformation fortgepflanzt, oder erfolgt, während die Funktionstestmuster FTP(a), FTP(a+1) ... FTP(b-1) und FTP(b), wie in Fig. 7 dargestellt ist, sequentiell an die Halbleitervorrichtung 1 angelegt werden.

Als nächstes wird im Schritt 614 ein Fehlerblock von den Übergangsblöcken extrahiert. Das heißt, ein oder mehrere der Übergangsblöcke, die in Fig. 8 dargestellt sind, deren Ausgangssignale den Datenausgangsstift  $P_b$  erreichen, werden als Fehlerblöcke extrahiert; zwei oder mehr Blöcke können jedoch als Fehlerblöcke extrahiert werden.

Im Schritt 615 wird bewirkt, daß die Ausgangssignale der Fehlerblöcke auf 1(hoch) oder 0(niedrig) bleiben. Dann werden die Ausgangssignale der Fehlerblöcke durch eine Logiksimulation oder durch eine Schaltungsaufbauinformation fortgepflanzt, während die Funktionstestmuster FTP(a), FTP(a+1) ... FTP(b-1) und FTP(b) sequentiell der Halbleitervorrichtung 1 angelegt werden.

Als nächstes wird im Schritt 616 ein entsprechender

Extraktionsprozeß wie im Schritt 614 durchgeführt. Das bedeutet, daß nur ein Fehlerblock, dessen festgehaltenes Ausgangssignal den Datenausgabestift  $P_b$  erreicht, extrahiert wird.

Dann wird der Ablauf der Fig. 6 durch den Schritt 617 beendet.

Die Fig. 9A und 9B zeigen einen zweiten Betrieb der Steuerschaltung 9, Fig. 10 ist ein VDD-Ruhezufuhrstromdiagramm zur Erläuterung des Ablaufs der Fig. 9, und Fig. 11 ist ein Layoutdiagramm zur Erläuterung des Ablaufs der Fig. 6.

In der Fig. 9 sind die Schritte 901, 902 und 903 anstatt der Schritte 613 und 614 der Fig. 6 vorgesehen.

Die Steuerung geht vom Schritt 612 zum Schritt 901.

Im Schritt 901 wird das Ausgabesignal am Datenausgabestift  $P_b$ , der in Fig. 11 dargestellt ist, durch eine Logiksimulation oder durch eine Schaltungsaufbauinformation rückgeleitet oder verfolgt, während die Funktionstestmuster FTP(b), FTP(b-1) ... FTP(a+1) und FTP(a) sequentiell der Halbleitervorrichtung 1 angelegt werden, wie in Fig. 10 dargestellt ist.

Als nächstes werden im Schritt 902 Blöcke, die sich auf den Datenausgangsstift  $P_b$  beziehen, wie in Fig. 11 dargestellt ist, extrahiert.

Als nächstes wird im Schritt 903 ein gemeinsamer Block zwischen den Übergangsblöcken und den Blöcken, die sich auf den Datenausgabestift  $P_b$  beziehen, als Fehlerblock extrahiert. Auch in diesem Fall wird in Fig. 11 nur ein Block als Fehlerblock extrahiert; zwei oder mehr Blöcke können jedoch als Fehlerblöcke extrahiert werden.

Dann geht die Steuerung weiter zum Schritt 615.

In den Fig. 12A und 12B, die eine Modifikation des Ablaufs der Fig. 6 zeigen, sind die Schritte 1201 und 1202 dem Ablauf der Fig. 6 zugefügt. Als Ergebnis können der Betrieb zum Extrahieren von Übergangsblöcken im Schritt 603 und 606 und der Betrieb zum Extrahieren von Fehlerblöcken in den Schritten 612 bis 614 durch den Schritt 1201 eine Anzahl von Malen durchgeführt werden. Wie in Fig. 13 dargestellt ist, werden beispielsweise erste Fehlerblöcke aus Übergangsblöcken bei FTP(a), und aus Blöcken, die sich auf einen abnormen Datenausgabestift beziehen, der bei FTP(b) bestimmt wurde, extrahiert, zweite Fehlerblöcke werden aus Übergangsblöcken bei FTP(c) und Blöcken, die sich auf einen abnormen Datenausgabestift beziehen, der bei FTP(d) bestimmt wurde, extrahiert, und dritte Fehlerblöcke werden aus Übergangsblöcken bei FTP(e) und Blöcken, die sich auf einen abnormen Datenausgabestift beziehen, der bei FTP(f) bestimmt wurde, extrahiert. Als nächstes werden im Schritt 1202 unter den ersten Fehlerblöcken, den zweiten Fehlerblöcken und den dritten Fehlerblöcken gemeinsame Fehlerblöcke extrahiert. In diesem Fall ist die Anzahl der gemeinsamen Fehlerblöcke nicht größer als jede einzelne Anzahl von ersten Fehlerblöcken, von zweiten Fehlerblöcken und von dritten Fehlerblöcken.

In den Fig. 14a und 14b, die eine Modifikation des Ablaufs der Fig. 9 erläutern, sind die Schritte 1401 und 1402 dem Ablauf der Fig. 9 zugefügt. Als Ergebnis kann der Betrieb zum Extrahieren von Übergangsblöcken im Schritt 603 und 606 und der Betrieb zum Extrahieren von Fehlerblöcken bei den Schritten 612, 901 bis 903 durch den Schritt 1401 eine Anzahl von Malen durchgeführt werden. Wie in Fig. 15 dargestellt ist, werden beispielsweise erste Fehlerblöcke aus Übergangsblöcken bei FTP(a) und Blöcken, die sich auf einen abnormen Datenausgabestift, der bei FTP(b) bestimmt ist, zweite

Fehlerblöcke werden aus Übergangsblöcken FTP(c) und Blöcken, die sich auf einen abnormen Datenausgangsstift beziehen, der bei FTP(d) bestimmt wird, extrahiert, und dritte Fehlerblöcke werden aus Übergangsblöcken bei FTP(e) und Blöcken, die sich auf einen abnormen Datenausgangsstift beziehen, der bei FTP(f) bestimmt wird, extrahiert. Danach werden im Schritt 1402 aus den ersten Fehlerblöcken, den zweiten Fehlerblöcken und den dritten Fehlerblöcken gemeinsame Datenblöcke extrahiert. In diesem Fall ist die Anzahl der gemeinsamen Datenblöcke nicht größer als jede Zahl von ersten Datenblöcken, jede Zahl von zweiten Datenblöcken und jede Zahl von dritten Fehlerblöcken.

In den Fig. 16a und 16b, die eine weitere Modifikation des Ablaufs der Fig. 6 darstellen, sind die Schritte 1601 und 1602 dem Ablauf der Fig. 6 zugefügt. Als Ergebnis wird nur der Betrieb zum Extrahieren von Fehlerblöcken in den Schritten 612 bis 616 durch den Schritt 1601 eine Anzahl von Malen durchgeführt werden, obwohl der Betrieb zum Extrahieren von Übergangsblöcken in den Schritten 603 und 606 nur einmal durchgeführt wird.

Beispielsweise ist, wie in Fig. 17 dargestellt ist, der  $V_{DD}$ -Ruhezufuhrstrom  $I_D$  bei FTP(a) abnorm, und Daten an den Datenausgangsstiften  $P_b$ ,  $P_c$ ,  $P_d$ ,  $P_e$  und  $P_f$  sind bei FTP(b), FTP(c), FTP(d), FTP(e) bzw. FTP(f) abnorm.

Dann werden, wie in Fig. 18 dargestellt ist, erste Fehlerblöcke B von den Übergangsblöcken bei FTP(a) und Blöcken, die sich auf den Datenausgangsstift  $P_b$  beziehen, der bei FTP(b) bestimmt wird, extrahiert, zweite Fehlerblöcke C werden aus den Übergangsblöcken bei FTP(a) und Blöcken, die sich auf den Datenausgangsstift  $P_c$  beziehen, der bei FTP(c) bestimmt wurde, extrahiert, dritte Fehlerblöcke D werden aus den Übergangsblöcken bei FTP(a) und Blöcken, die sich auf den Datenausgangsstift  $P_d$  beziehen, der bei FTP(d) bestimmt wurde, extrahiert, vierte Fehlerblöcke E werden aus den Übergangsblöcken bei FTP(a) und Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_e$  beziehen, der bei FTP(e) bestimmt ist, fünfte Fehlerblöcke F werden aus den Übergangsblöcken FTP(a) und Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_f$  beziehen, der bei FTP(f) bestimmt wurde. Als nächstes werden im Schritt 1602 aus den ersten Fehlerblöcken, den zweiten Fehlerblöcken, den dritten Fehlerblöcken, den vierten Fehlerblöcken und den fünften Fehlerblöcken gemeinsame Fehlerblöcke extrahiert. In diesem Fall ist die Anzahl der gemeinsamen Fehlerblöcke nicht größer als jede Anzahl von ersten Fehlerblöcken, jede Anzahl von zweiten Fehlerblöcken, jede Anzahl von dritten Fehlerblöcken, jede Anzahl von vierten Fehlerblöcken und jede Anzahl von fünften Fehlerblöcken.

In den Fig. 19a und 19b, die eine weitere Modifikation des Ablaufs der Fig. 9 darstellen, sind die Schritte 1901 und 1902 dem Ablauf der Fig. 6 zugefügt. Als Ergebnis kann nur der Ablauf zum Extrahieren fehlerhafter Blöcke in den Schritten 612, 901 bis 614 durch den Schritt 1901 eine Anzahl von Malen durchgeführt werden, obwohl der Betrieb zum Extrahieren von Übergangsblöcken in den Schritten 603 und 606 nur einmal durchgeführt wird.

Wie in Fig. 20 dargestellt ist, ist beispielsweise der  $V_{DD}$ -Ruhezufuhrstrom  $I_{qdd}$  bei FTP(a) abnorm, und Daten an den Datenausgangsstiften  $P_b$ ,  $P_c$ ,  $P_d$ ,  $P_e$  und  $P_f$  sind bei FTP(b), FTP(c), FTP(d), FTP(e) bzw. FTP(f) abnorm.

Wie in Fig. 21 dargestellt ist, werden dann erste Fehlerblöcke B aus den Übergangsblöcken bei FTP(a) und

Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_b$  beziehen, der bei FTP(b) bestimmt wird, zweite Fehlerblöcke C werden aus den Übergangsblöcken bei FTP(a) und Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_c$  beziehen, der bei FTP(c) bestimmt wird, dritte Fehlerblöcke D werden aus den Übergangsblöcken bei FTP(a) und Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_d$  beziehen, der bei FTP(d) bestimmt wurde, vierte Fehlerblöcke E werden aus den Übergangsblöcken bei FTP(a) und Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_e$  beziehen, der bei FTP(e) bestimmt ist, fünfte Fehlerblöcke werden aus den Übergangsblöcken FTP(a) und Blöcken extrahiert, die sich auf den Datenausgangsstift  $P_f$  beziehen, der bei FTP(f) bestimmt wurde. Als nächstes werden im Schritt 1901 aus den ersten Fehlerblöcken, den zweiten Fehlerblöcken, den dritten Fehlerblöcken, den vierten Fehlerblöcken und den fünften Fehlerblöcken gemeinsame Fehlerblöcke extrahiert. In diesem Fall ist die Anzahl der gemeinsamen Fehlerblöcke nicht größer als jede Anzahl von ersten Fehlerblöcken, jede Anzahl von zweiten Fehlerblöcken, jede Anzahl von dritten Fehlerblöcken, jede Anzahl von vierten Fehlerblöcken und jede Anzahl von fünften Fehlerblöcken.

Die vorliegende Erfindung kann auf ein hierarchisches Testsystem angewendet werden, das in den Fig. 22a, 22b und 22c dargestellt ist. Zunächst wird einer der oben beschriebenen Abläufe bei einer Halbleitervorrichtung angewandt, die in eine Anzahl von großen Blöcken unterteilt ist, wie in Fig. 22A dargestellt ist, so daß ein Fehlerblock X herausgefunden wird. Als nächstes wird einer der oben beschriebenen Abläufe auf den Fehlerblock X angewendet, der in eine Anzahl von kleinen Blöcken unterteilt ist, wie in Fig. 22B dargestellt ist, so daß ein Fehlerunterblock Y herausgefunden wird. Schließlich wird eine Logiksimulation durchgeführt, um eine Basislogikschaltung Z wie eine NOR-Schaltung als Fehlerpunkt herauszufinden, wie in Fig. 22C dargestellt ist.

Da erfindungsgemäß, wie vorstehend beschrieben wurde, ein Fehlerblock innerhalb einer Halbleitervorrichtung durch Verwendung des  $V_{DD}$ -Ruhezufuhrstroms in Abhängigkeit von Funktionstestmustern und abnormen Daten an den Datenausgangsstiften bestimmt wird, kann ein Fehlerpunkt innerhalb der Halbleitervorrichtung, d. h. ein Fehlerpunkt innerhalb eines Fehlerblöcken, ohne die Anwendung einer großen Fehlertabelle herausgefunden werden.

#### Patentansprüche

1. System zur Erfassung eines Fehlerblocks in einer Halbleitervorrichtung, die aus einer Anzahl von Logikblöcken aufgebaut ist, mit:

Mitteln zum sequentiellen Erzeugen von Funktionstestmustern (FTP) und zum Übertragen der Funktionstestmuster an die Halbleitervorrichtung, Mittel zur Erfassung eines abnormen Stroms, der durch die Halbleitervorrichtung fließt, Mitteln zum Vergleichen von Ausgabedaten der Halbleitervorrichtung mit erwarteten Daten und Mitteln zur Erfassung des Fehlerblocks in Übereinstimmung mit einem i-ten Funktionstestmuster, wenn der abnorme Strom in einem j-ten Testmuster ( $j > i$ ) erfaßt wird, wenn das Ausgabedatum sich vom erwarteten Datum unterscheidet.

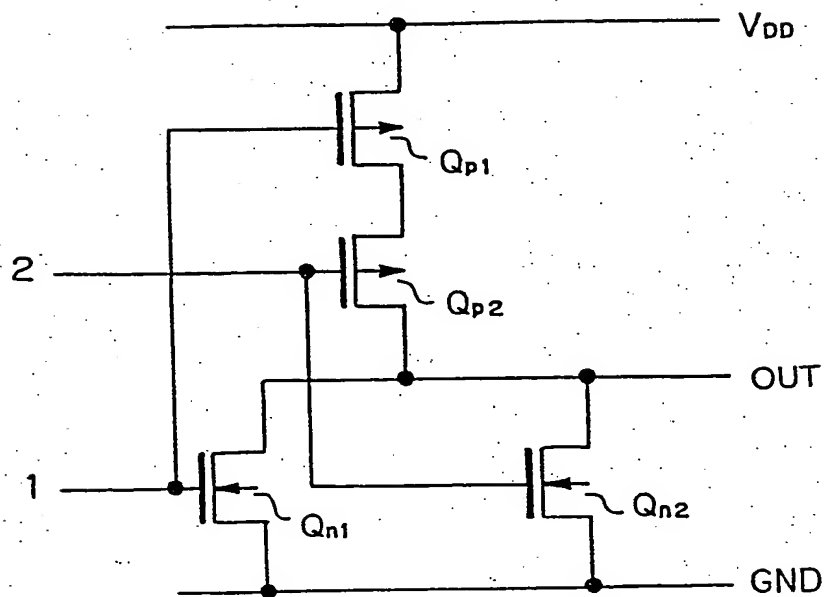
2. System zur Erfassung eines Fehlerblocks in einer Halbleitervorrichtung, die aus einer Anzahl von Logikblöcken aufgebaut ist, mit:  
einer Tabelleneinrichtung zum Speichern der Be-



ziehung zwischen einer Anzahl von Funktionstestmustern und den Logikblöcken, die durch die Funktionstestmuster betrieben werden,  
 Mitteln zum sequentiellen Erzeugen der Funktionstestmuster und zum Anlegen der Funktionstestmuster an die Halbleitervorrichtung,  
 Mitteln zum Bestimmen, ob die Halbleitervorrichtung normal oder fehlerhaft ist, wenn ein Strom, der durch die Halbleitervorrichtung fließt, größer ist als ein bestimmter Wert, Mitteln zum Extrahieren von Übergangsblöcken aus den Logikblöcken in Übereinstimmung mit der Tabelle, wenn ein i-tes Funktionstestmuster der Halbleitervorrichtung angelegt wird, so daß die Halbleitervorrichtung von einem normalen in einen abnormen Zustand umgeschaltet wird,  
 Mitteln zum Vergleichen von Daten an den Datenausgangsstiften der Halbleitervorrichtung mit erwarteten Daten,  
 Mitteln zum Extrahieren eines abnormen Datenausgangsstiftes, dessen Datum sich von dem erwarteten Datum unterscheidet, wenn ein j-tes Funktionstestmuster ( $j > i$ ) der Halbleitervorrichtung angelegt wird,  
 Mitteln zum Weiterleiten von Ausgangssignalen der Übergangsblöcke durch sequentielles Anlegen der Funktionstestmuster von dem i-ten Funktionstestmuster zu dem j-ten Funktionstestmuster, und Mitteln zum Extrahieren von zumindest einem Fehlerblock aus den Übergangsblöcken, dessen Ausgangssignal, das durch die Weiterleitungsmittel weitergeleitet wurde, bei dem abnormen Datenausgangsstift angekommen ist.  
 3. System nach Anspruch 2, mit weiterhin:  
 Mitteln zum Wiederholen von Betrieben der Sequentiell-Funktionstestmustererzeugungsmittel, der Bestimmungsmittel, der Übergangsblockextraktionsmittel, Vergleichsmittel, der Abnormdatenausgabe-Extraktionsmittel, der Weiterleitungsmittel und der Fehlerblock-Extraktionsmittel und  
 Mitteln zum Extrahieren zumindest eines gemeinsamen Fehlerblocks aus den Fehlerblöcken, die durch die Fehlerblock-Extraktionsmittel extrahiert wurden.  
 4. System nach Anspruch 2, mit weiterhin:  
 Mitteln zum Wiederholen des Betriebs der Vergleichsmittel, Abnormdatenausgabe-Extraktionsmittel, der Weiterleitungsmittel und der Fehlerblock-Extraktionsmittel und  
 Mitteln zum Extrahieren zumindest eines gemeinsamen Blockes aus den Fehlerblöcken, die durch die Fehlerblock-Extraktionsmittel extrahiert wurden.  
 5. System nach Anspruch 2, wobei die Weiterleitungsmittel die Ausgangssignale der Übergangsblöcke durch eine Logiksimulation weiterleiten.  
 6. System nach Anspruch 2, wobei die Weiterleitungsmittel die Ausgangssignale der Übergangsblöcke durch eine Schaltungsanordnungsinformation weiterleiten.  
 7. System nach Anspruch 2, mit weiterhin Mitteln zum Durchführen einer Logiksimulation an dem Fehlerblock dadurch, daß die Ausgangssignale des Fehlerblocks auf einen definierten Wert gebracht werden.  
 8. System zur Erfassung eines Fehlerblocks in einer Halbleitervorrichtung, die durch eine Anzahl von Logikblöcken gebildet ist, mit:

einer Tabelleneinrichtung zum Speichern einer Beziehung zwischen einer Anzahl von Funktionstestmustern und den Logikblöcken, die durch die Funktionstestmuster betrieben werden,  
 Mitteln zum sequentiellen Erzeugen der Funktionstestmuster und zum Anlegen der Funktionstestmuster an die Halbleitervorrichtung,  
 Mitteln zum Bestimmen, ob die Halbleitervorrichtung normal oder fehlerhaft ist, in Übereinstimmung damit, ob ein Strom durch die Halbleitervorrichtung fließt, der größer ist als ein bestimmter Wert,  
 Mitteln zum Extrahieren von Übergangsblöcken aus den Logikblöcken in Übereinstimmung mit der Tabelle, wenn ein i-tes Funktionstestmuster an die Halbleitervorrichtung angelegt wird, so daß die Halbleitervorrichtung von einem normalen in einen abnormen Zustand geschaltet wird,  
 Mitteln zum Vergleichen von Daten an den Datenausgangsstiften der Halbleitervorrichtung mit erwarteten Daten,  
 Mitteln zum Extrahieren eines abnormen Datenausgangsstiftes, dessen Datum sich von dem erwarteten Datum unterscheidet, wenn ein j-tes ( $j > i$ ) Funktionstestmuster der Halbleitervorrichtung angelegt wird,  
 Mitteln zum Rückführen von Signalen des abnormen Datenausgangsstiftes durch sequentielles Anlegen der Funktionstestmuster vom j-ten Funktionstestmuster zum i-ten Funktionstestmuster und Mitteln zum Extrahieren von zumindest einem Fehlerblock aus den Übergangsblöcken, bei denen das Signal des abnormen Datenausgangsstiftes bei den Rückführungsmitteln angekommen ist.  
 9. System nach Anspruch 8, mit weiterhin:  
 Mitteln zum Wiederholen des Betriebs der Sequentiell-Funktionstestmustererzeugungsmittel, der Bestimmungsmittel, der Übergangsblockextraktionsmittel der Vergleichsmittel, der Abnormdatenausgabe-Extraktionsmittel, der Rückführungsmittel und der Fehlerblockextraktionsmittel und  
 Mitteln zum Extrahieren zumindest eines gemeinsamen Blocks aus den Fehlerblöcken, die durch die Fehlerblockextraktionsmittel extrahiert wurden.  
 10. System nach Anspruch 8, mit weiterhin:  
 Mitteln zum Wiederholen des Betriebs der Vergleichsmittel, der Abnormdatenausgabe-Extraktionsmittel, der Rückführungsmittel und der Fehlerblockextraktionsmittel und  
 Mitteln zum Extrahieren zumindest eines gemeinsamen Fehlerblocks aus den Fehlerblöcken, die durch die Fehlerblock-Extraktionsmittel extrahiert wurden.  
 11. System nach Anspruch 8, wobei die Rückführungsmittel das Signal des abnormen Datenausgangsstiftes durch eine Logiksimulation rückführen.  
 12. System nach Anspruch 8, wobei die Rückführungsmittel das Signal des abnormen Datenausgangsstiftes durch eine Schaltungsaufbauinformation rückführen.  
 13. System nach Anspruch 8, mit weiterhin Mitteln zur Durchführung einer Logiksimulation an dem Fehlerblock, wobei die Ausgangssignale des Fehlerblocks auf einen definierten Wert gebracht werden.

*Fig. 1A*



*Fig. 1B*

IN 1	IN 2	OUT
L	L	H
L	H	L
H	L	L
H	H	L

Fig. 2A

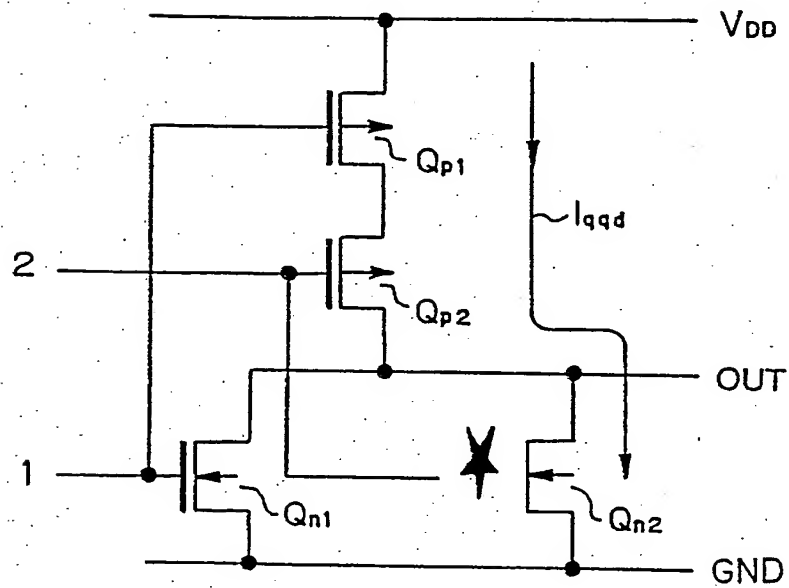
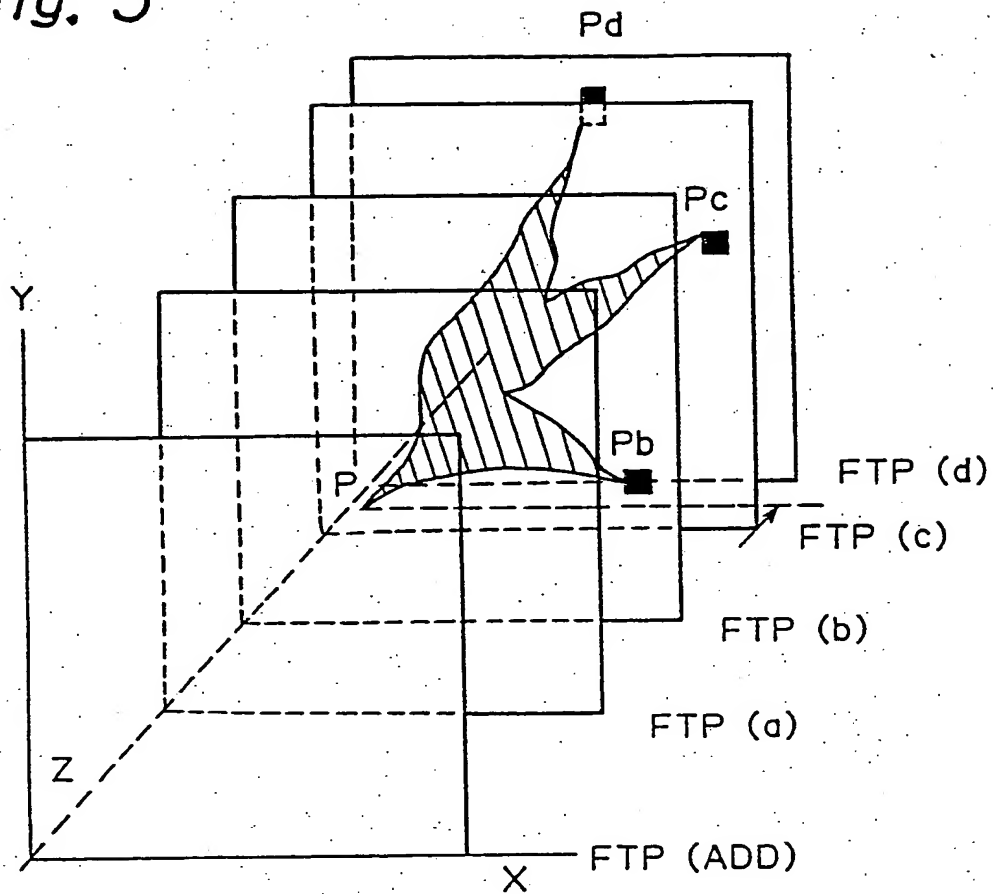


Fig. 2B

IN 1	IN 2	OUT
L	L	ABNORM ( $V_{DD}/3$ )
L	H	L
H	L	L
H	H	L



Fig. 3





*Fig. 5*

FTP (ADD)	BETRIEBENE BLÖCKE
FTP (0)	B <sub>1</sub> , B <sub>3</sub> , B <sub>6</sub> , B <sub>a</sub> , B <sub>f</sub> — — — , B <sub>z</sub>
FTP (1)	B <sub>3</sub> , B <sub>f</sub> , B <sub>g</sub> , B <sub>h</sub> , B <sub>k</sub> — — — , B <sub>y</sub>
FTP (2)	B <sub>1</sub> , B <sub>3</sub> , B <sub>6</sub> , B <sub>a</sub> , B <sub>c</sub> , — — — , B <sub>x</sub>
⋮	
FTP (MAX)	B <sub>3</sub> , B <sub>6</sub> , B <sub>8</sub> , B <sub>9</sub> , B <sub>a</sub> , — — — , B <sub>z</sub>

Fig. 6A

Fig. 6

Fig. 6A

Fig. 6B

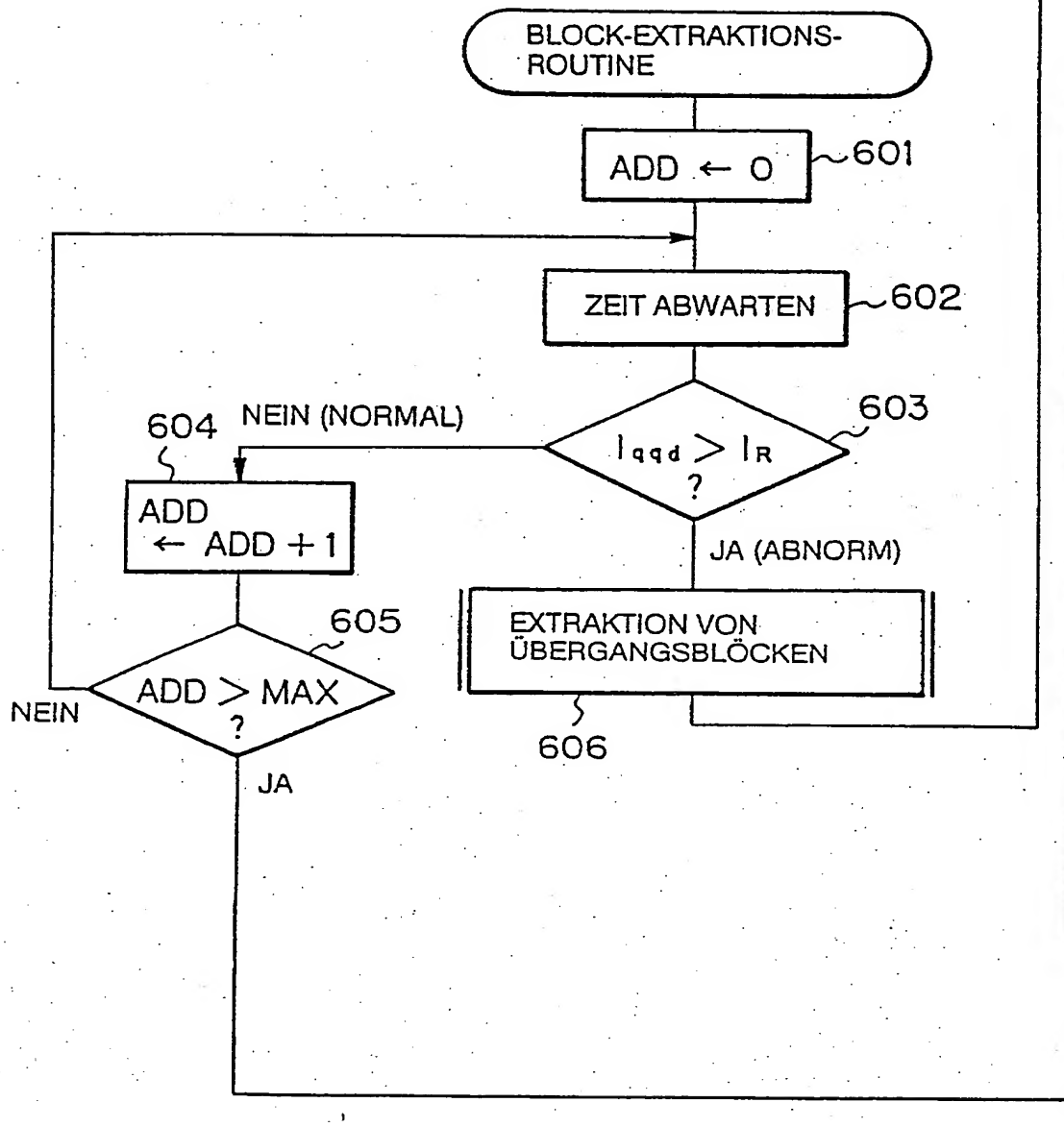


Fig. 6B

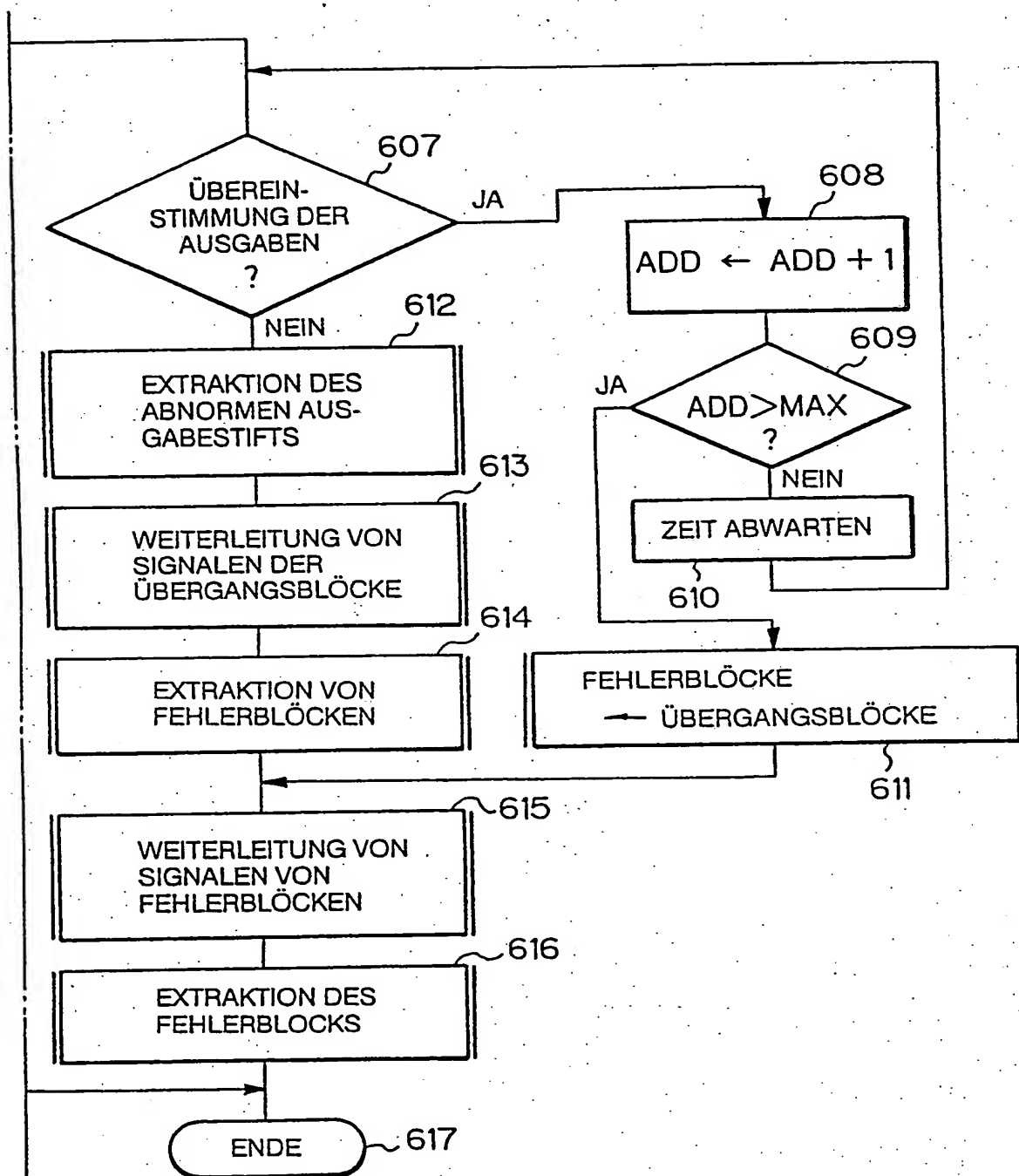


Fig. 7

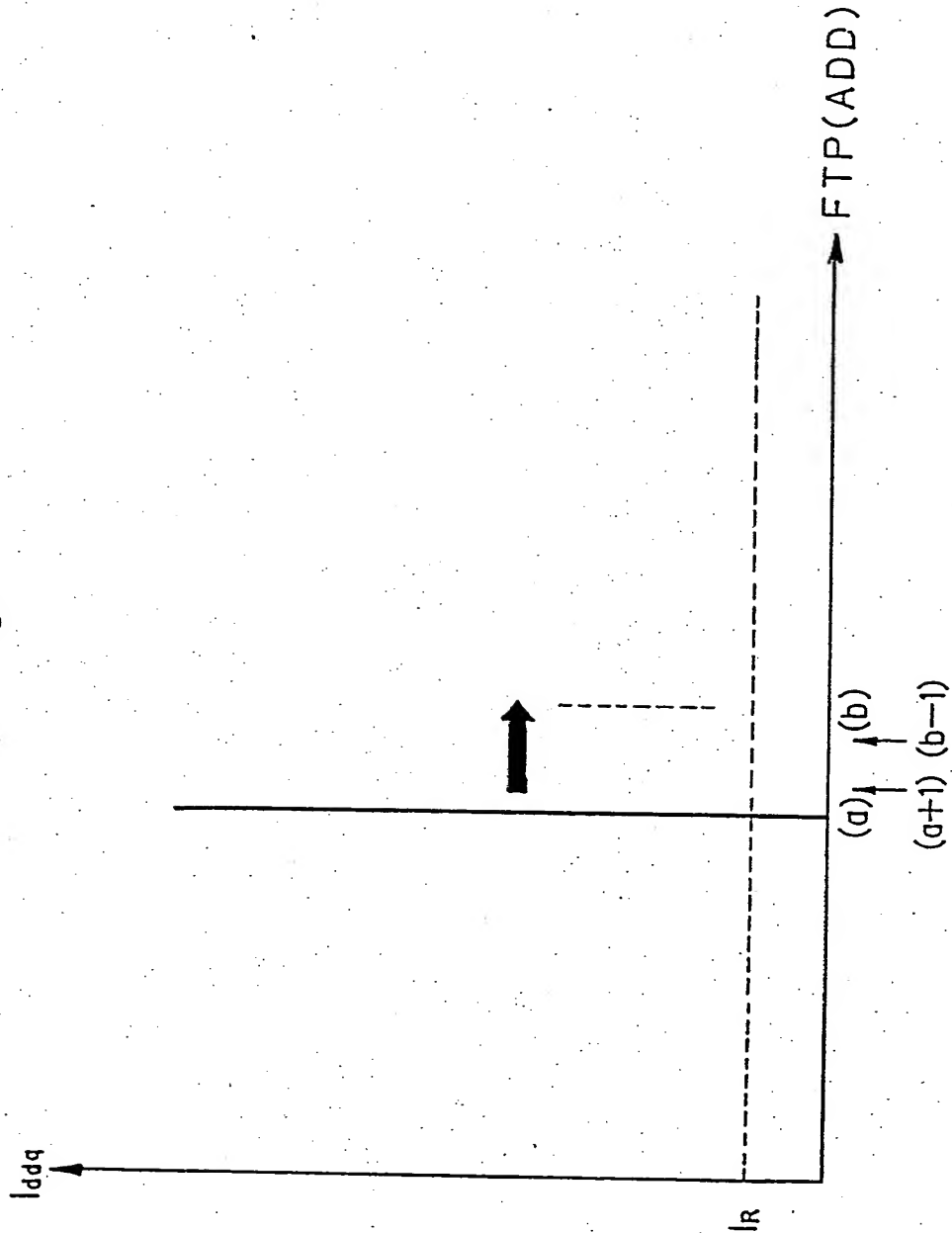






Fig. 9A

Fig. 9

Fig. 9A

Fig. 9B

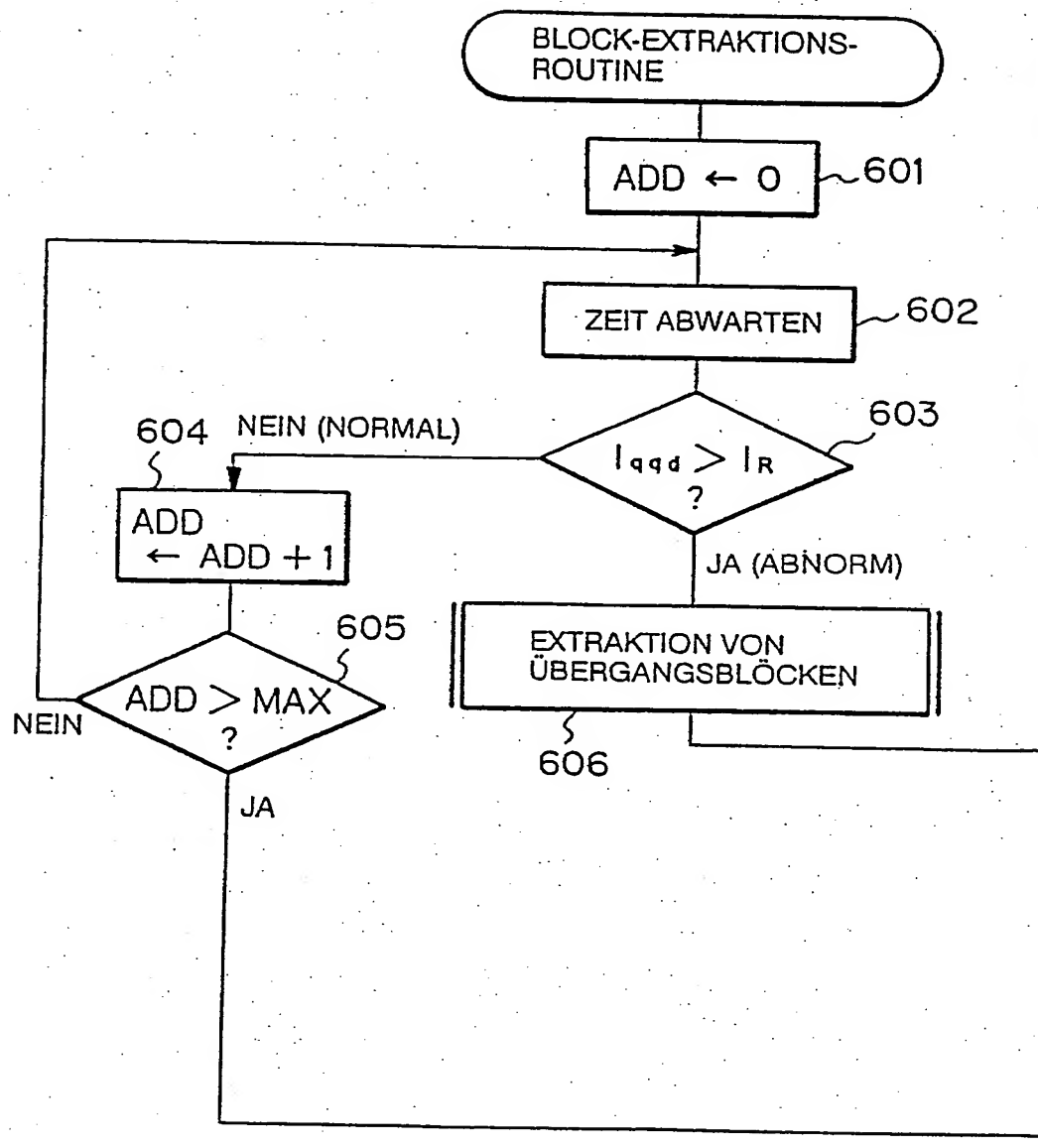


Fig. 9B

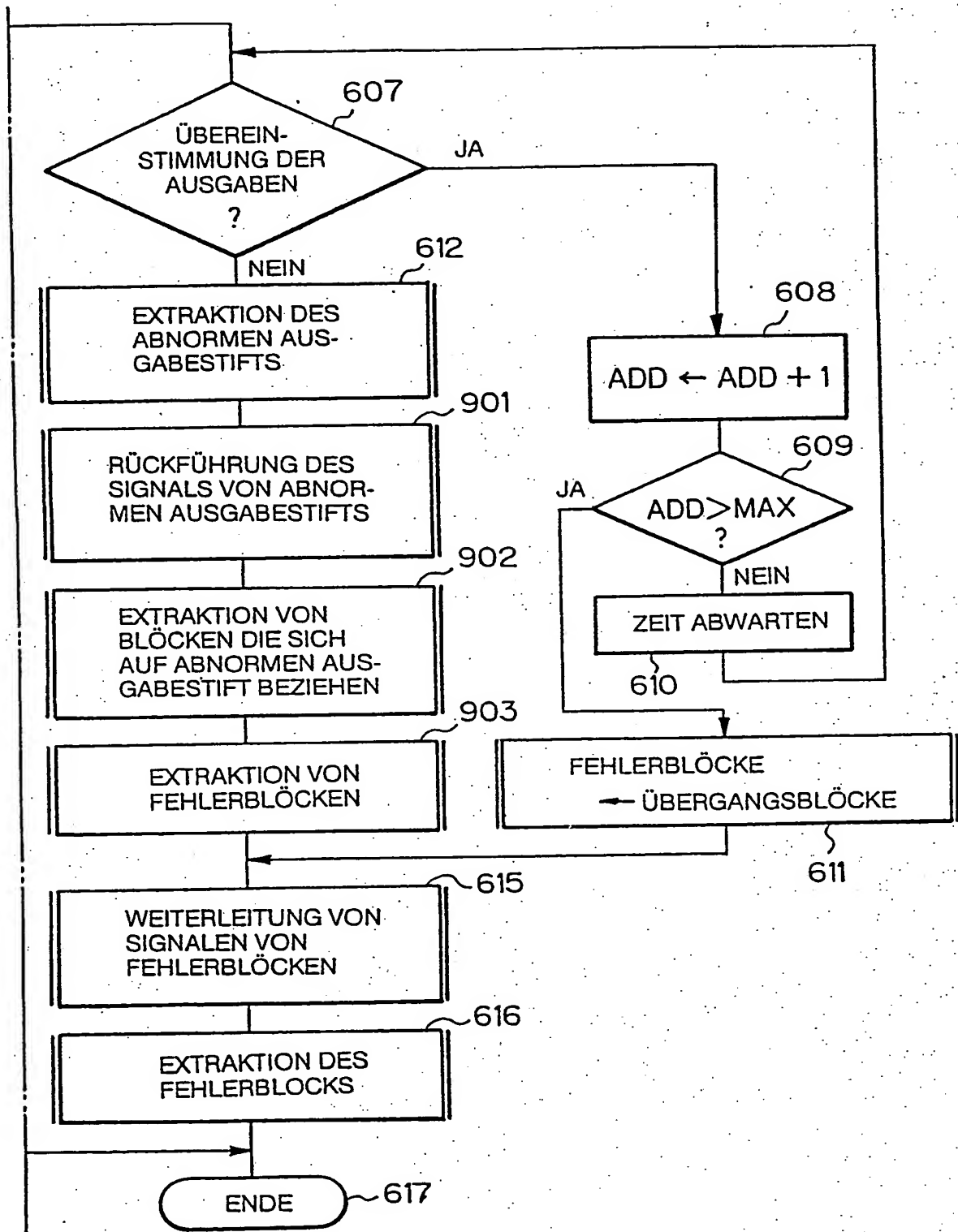


Fig. 10

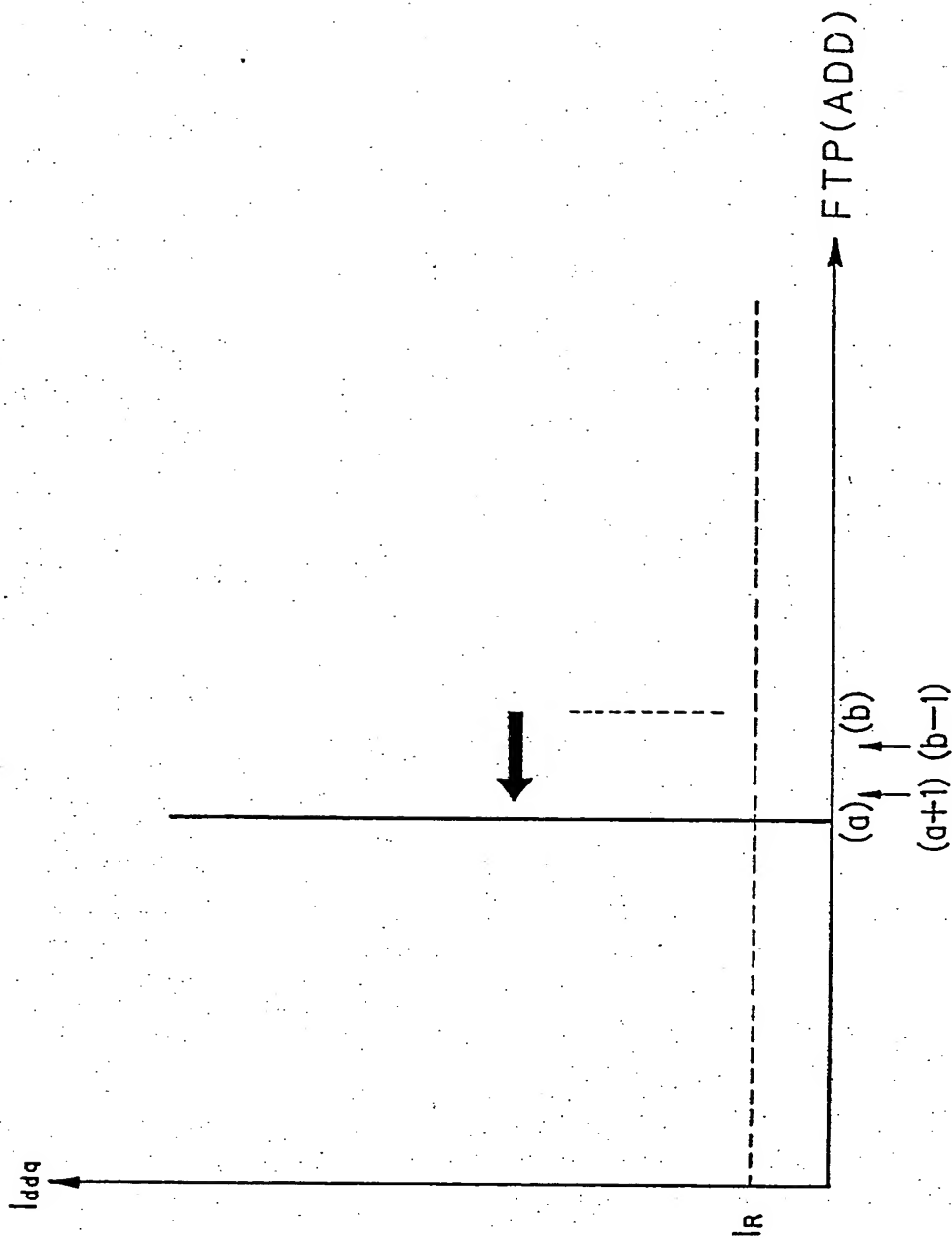
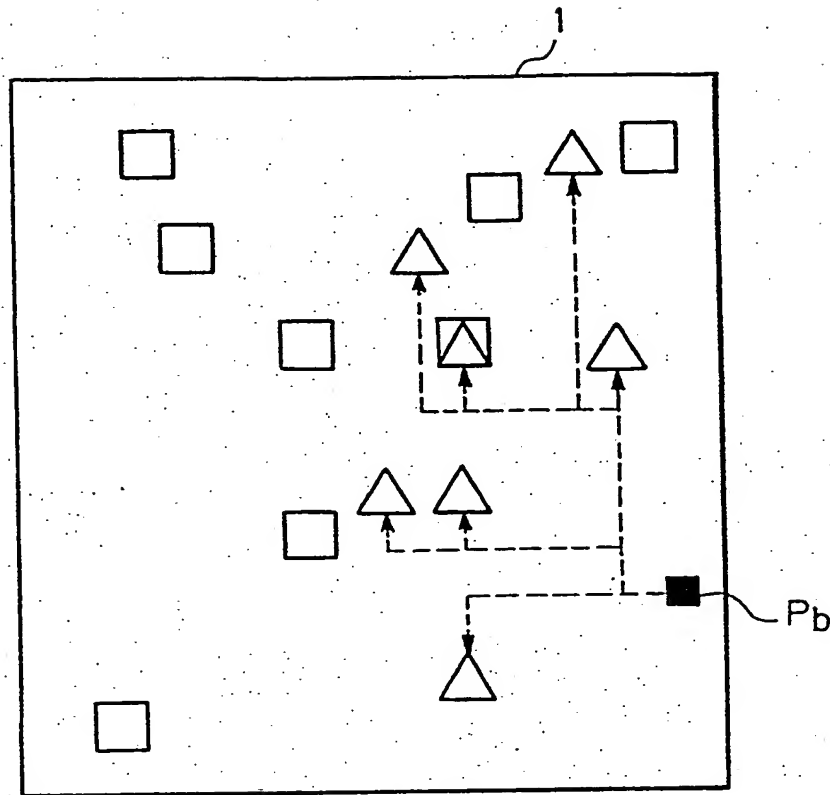


Fig. 11



ÜBERGANGSBLOCK



ÜBERGANGSBLOCK  
MIT FEHLERPUNKT



BLÖCKE; DIE SICH AUF  
STIFT  $P_b$  BEZIEHEN

Fig. 12A

Fig. 12

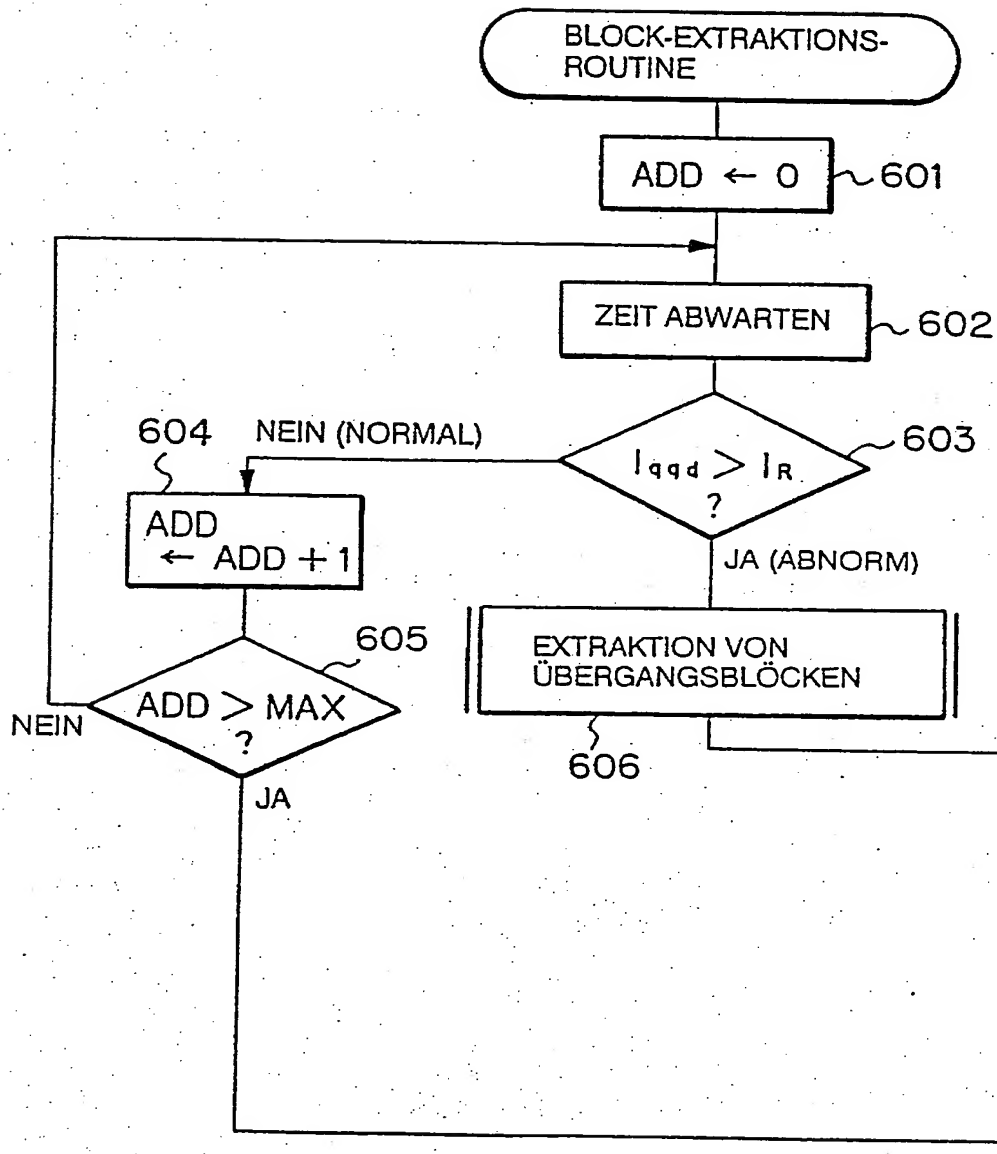


Fig. 12B

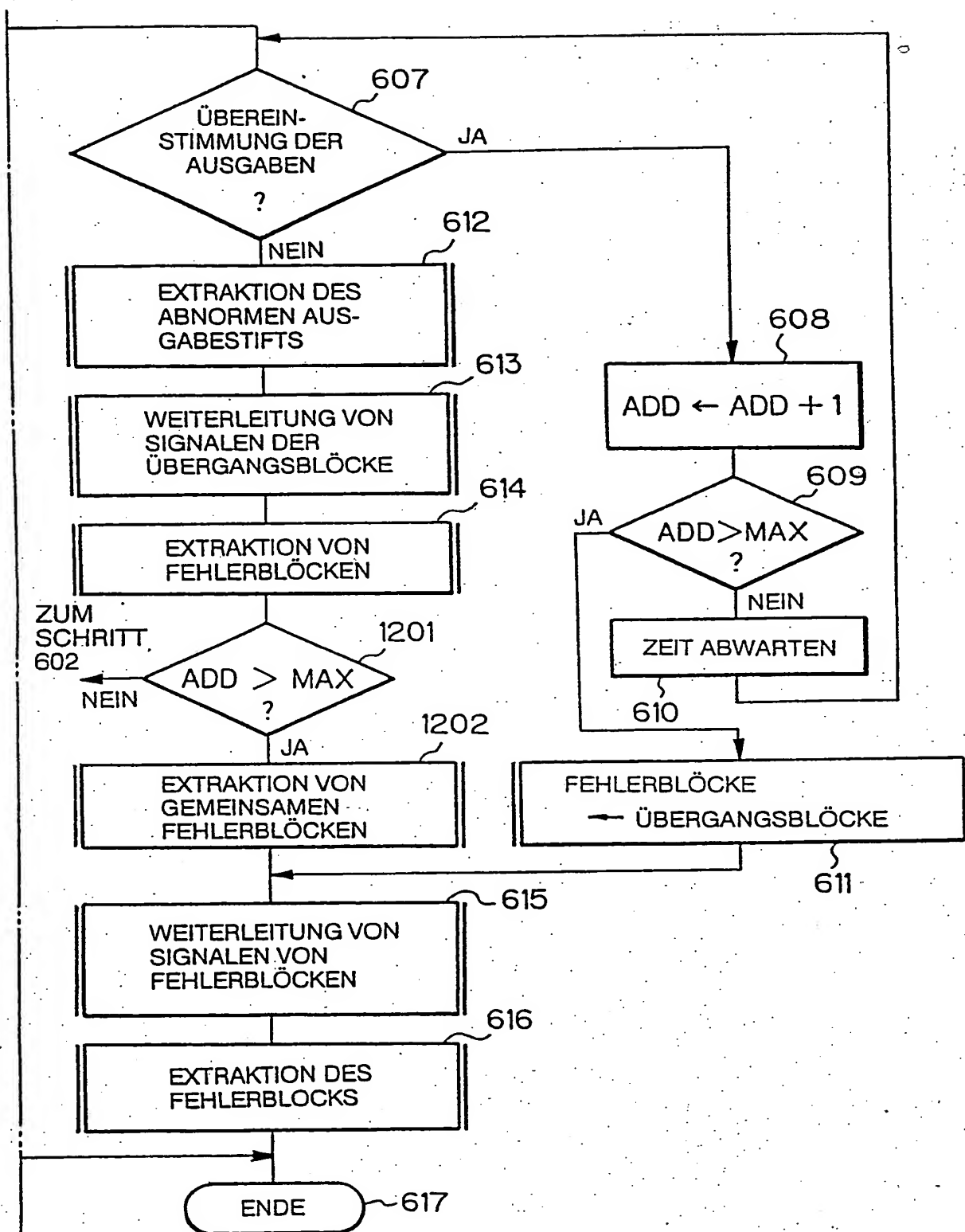


Fig. 13

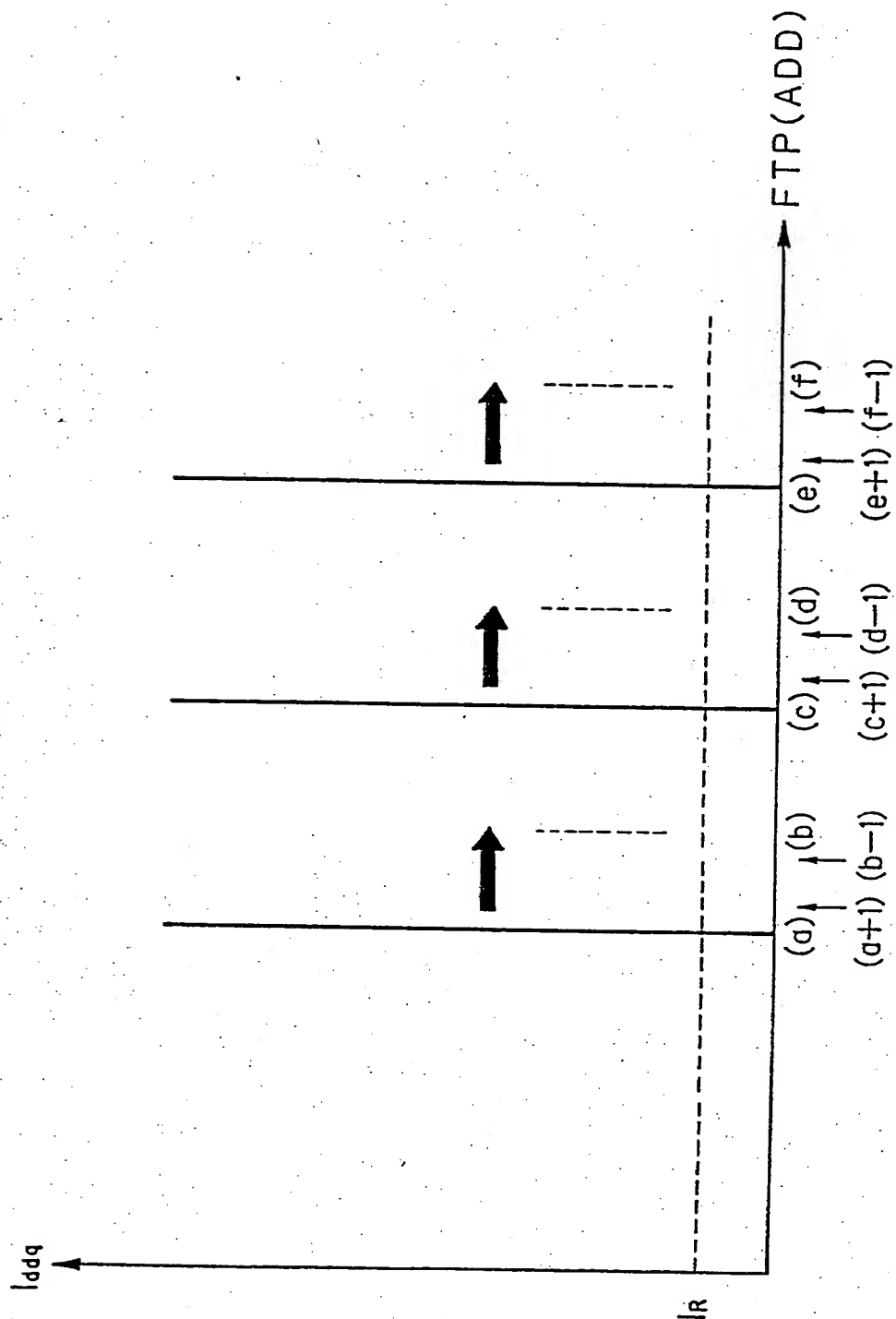




Fig. 14A

Fig. 14

Fig. 14A

Fig. 14B

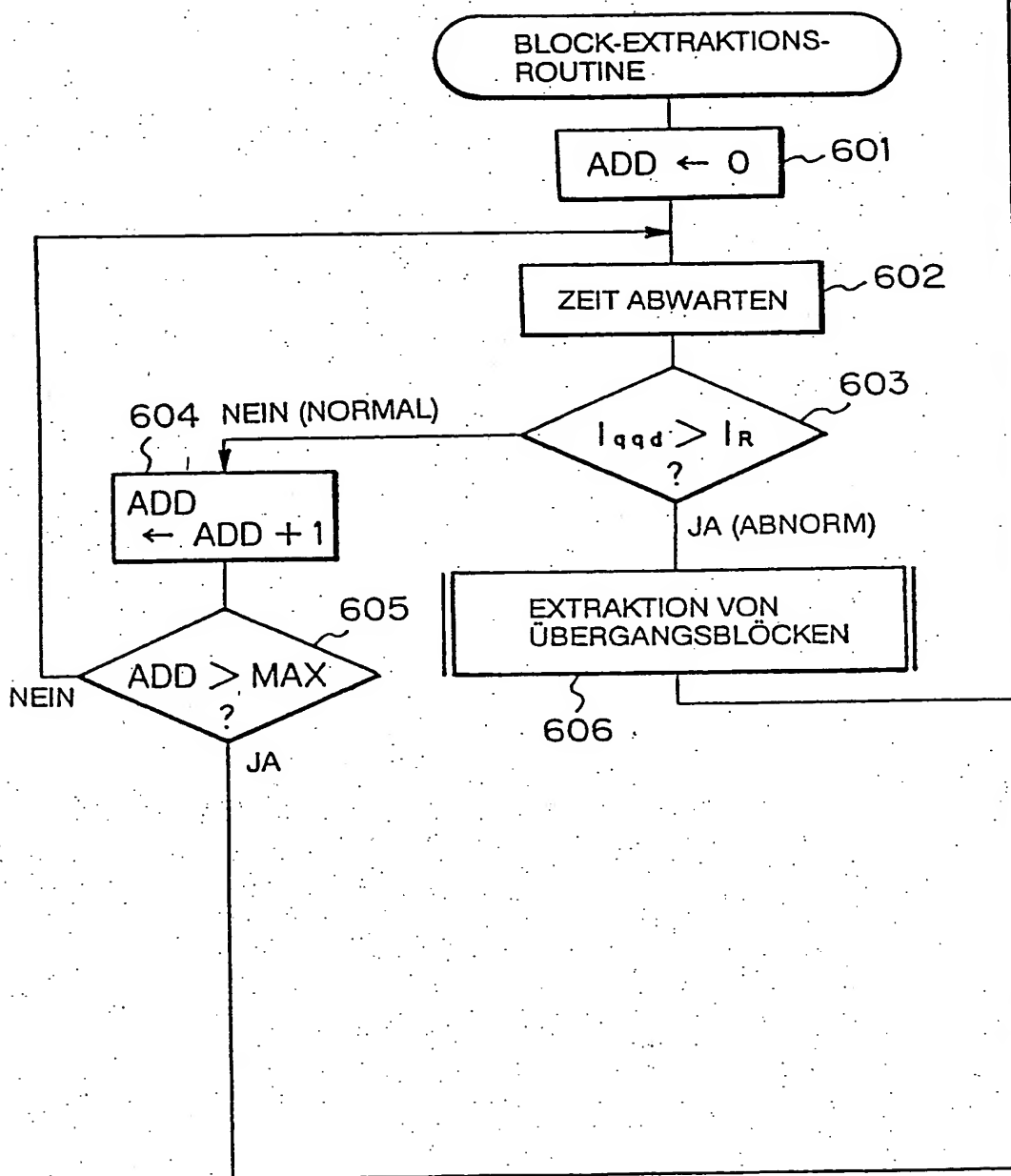


Fig. 14B

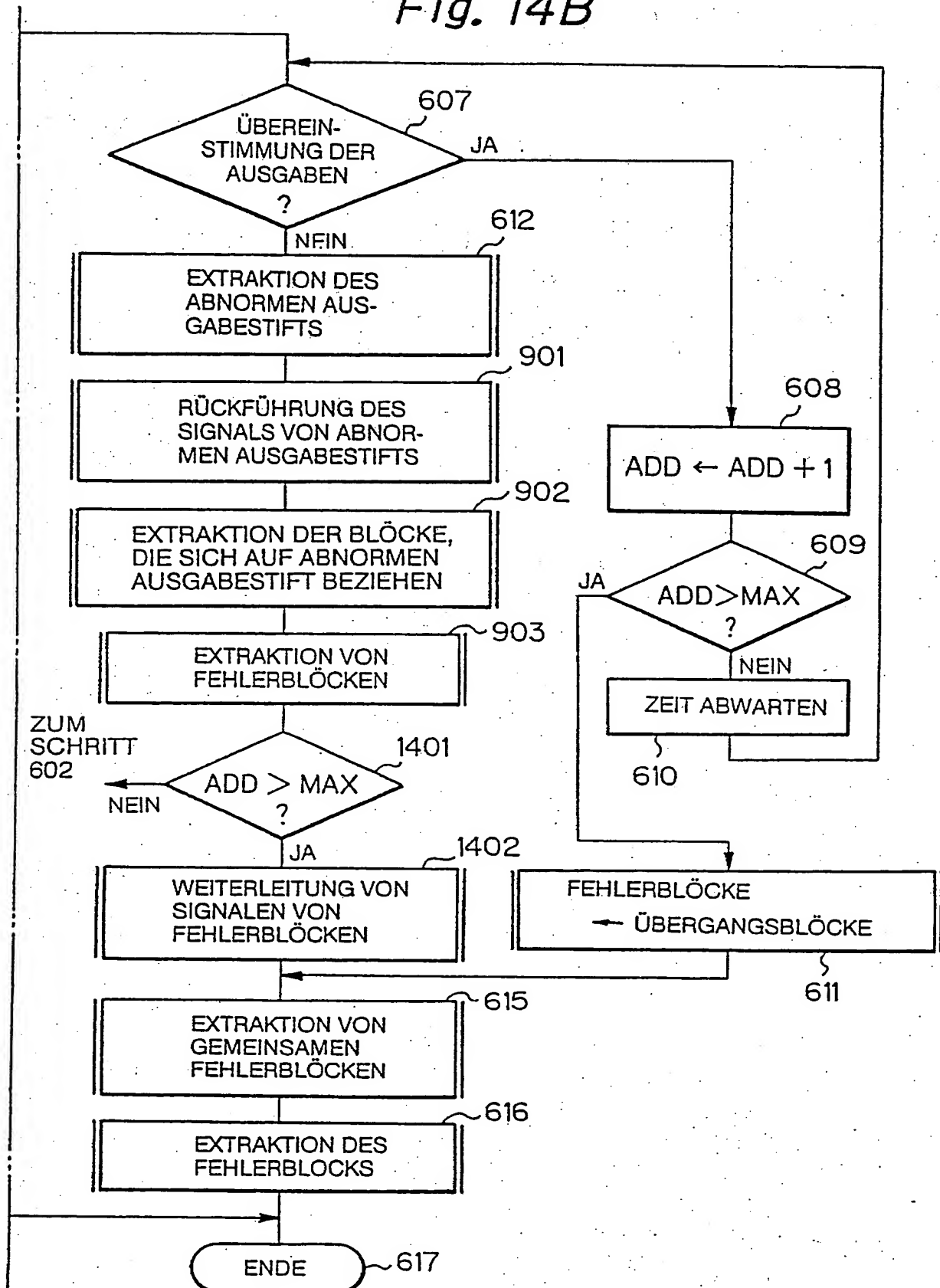


Fig. 15

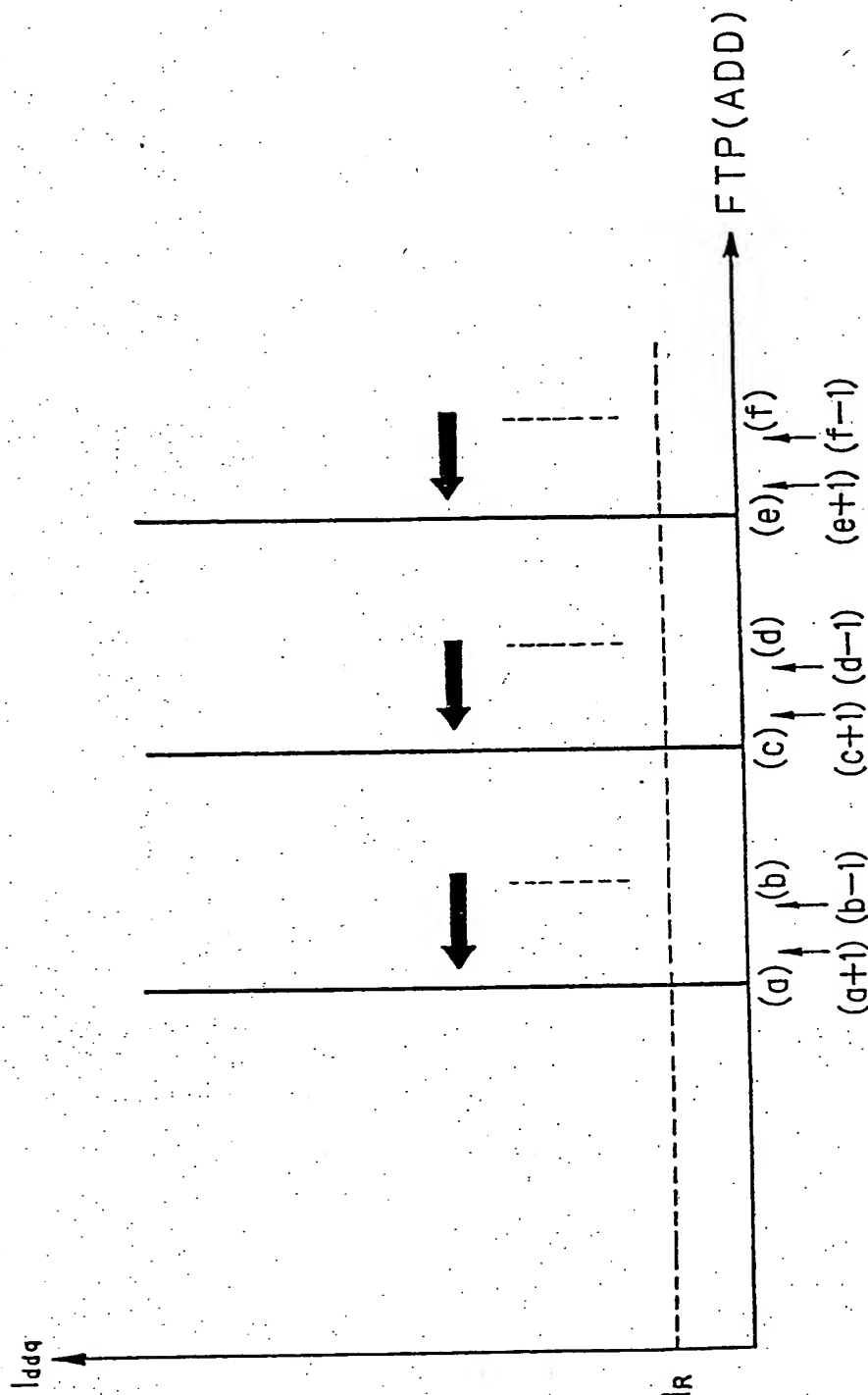


Fig. 16A

Fig. 16

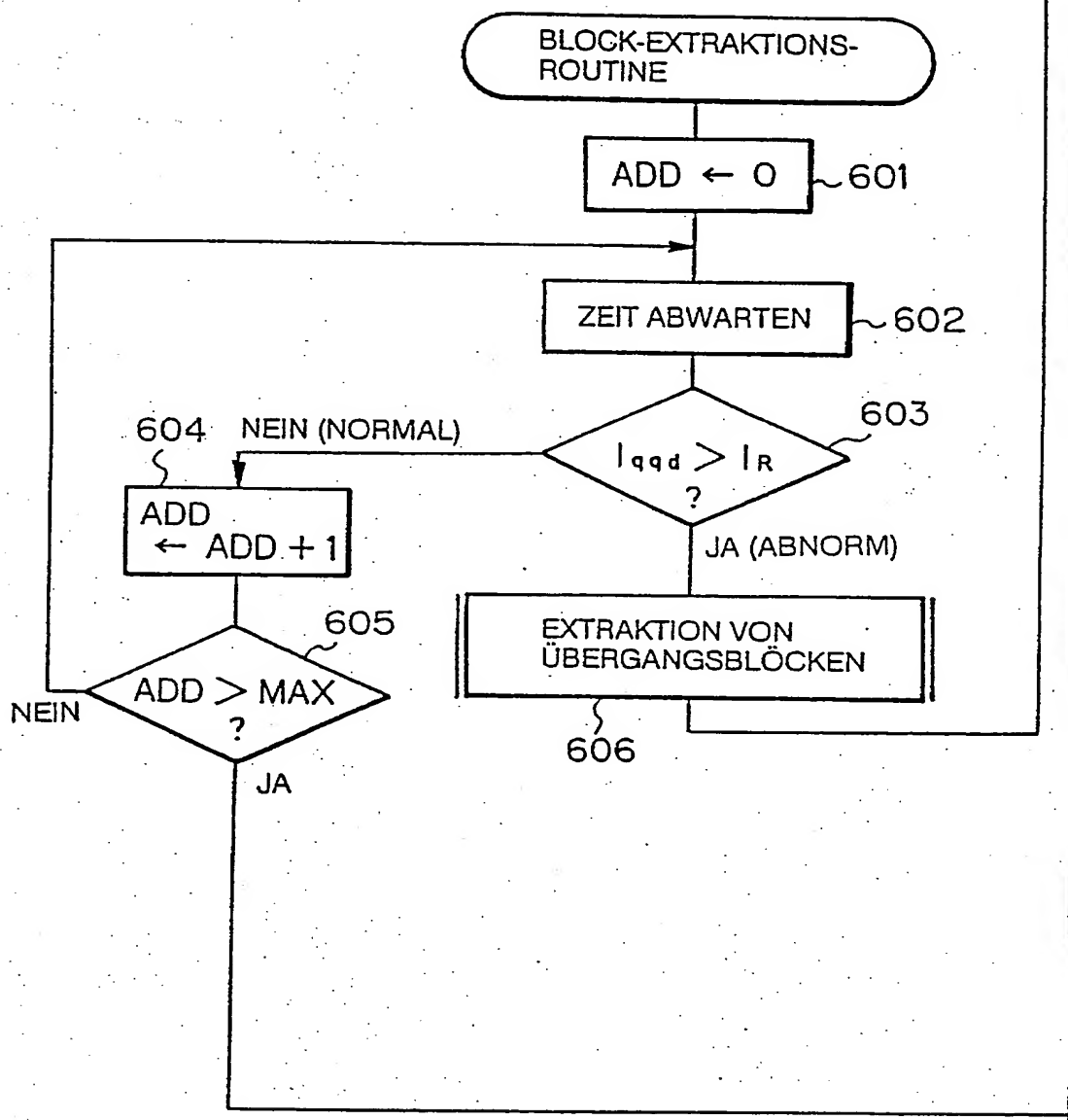


Fig. 16B

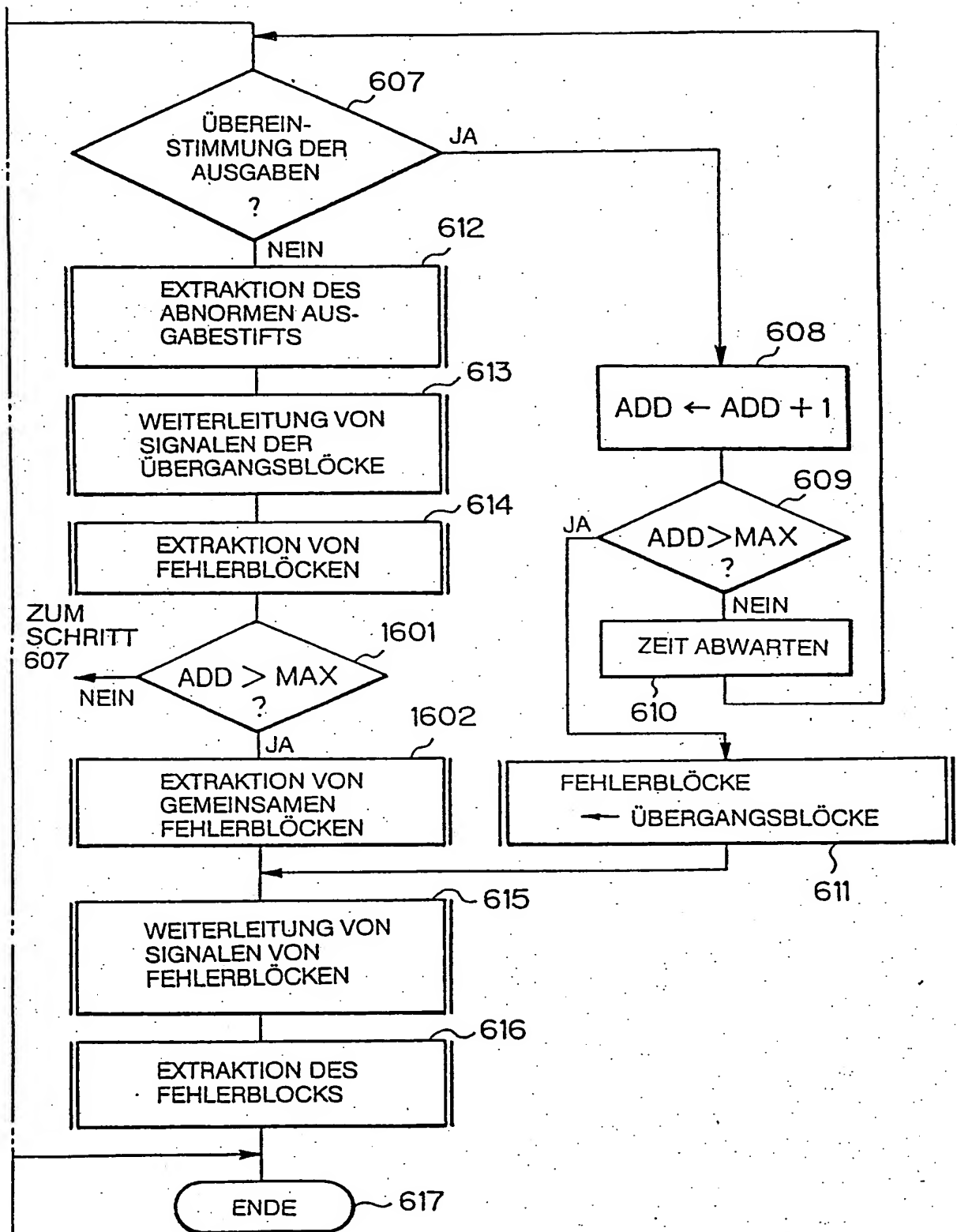


Fig. 17

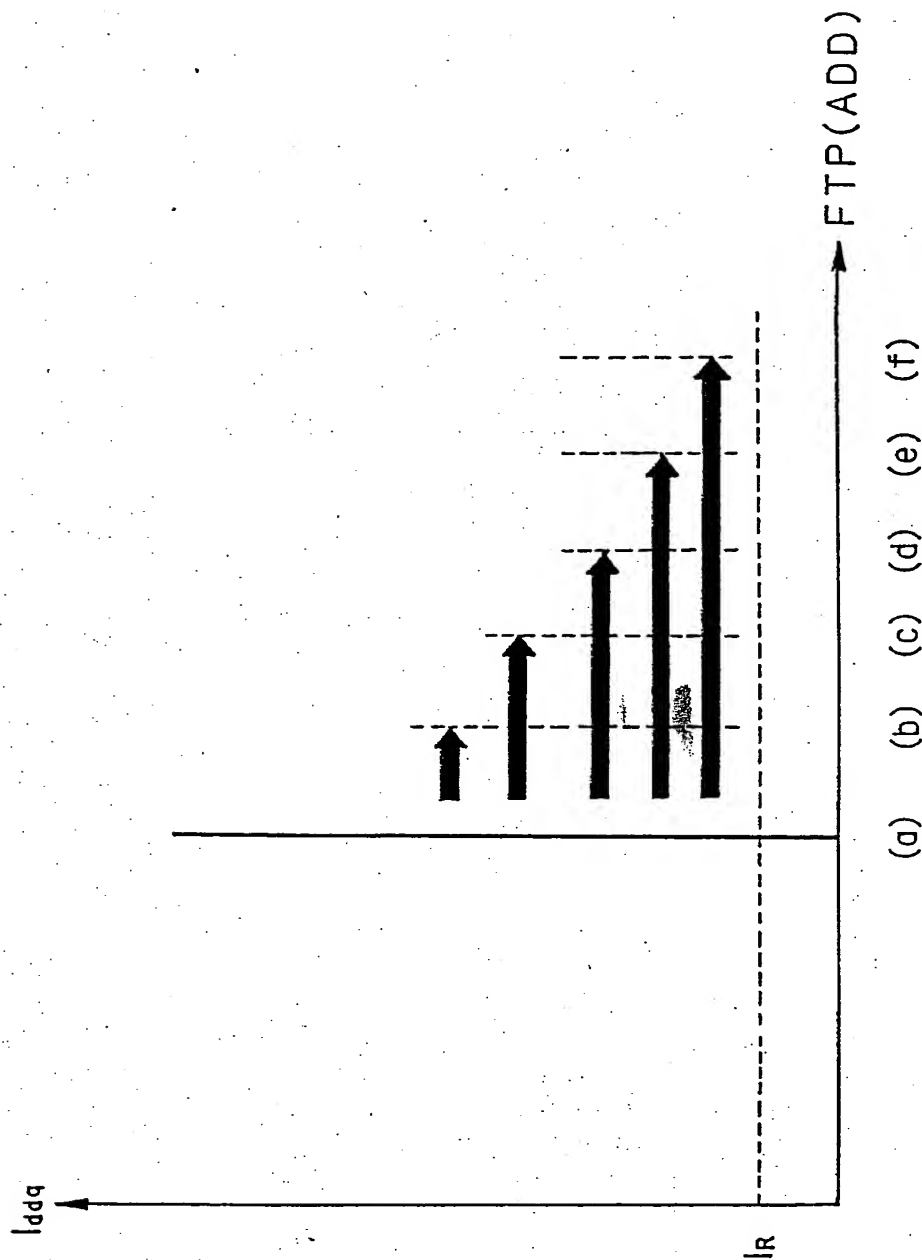
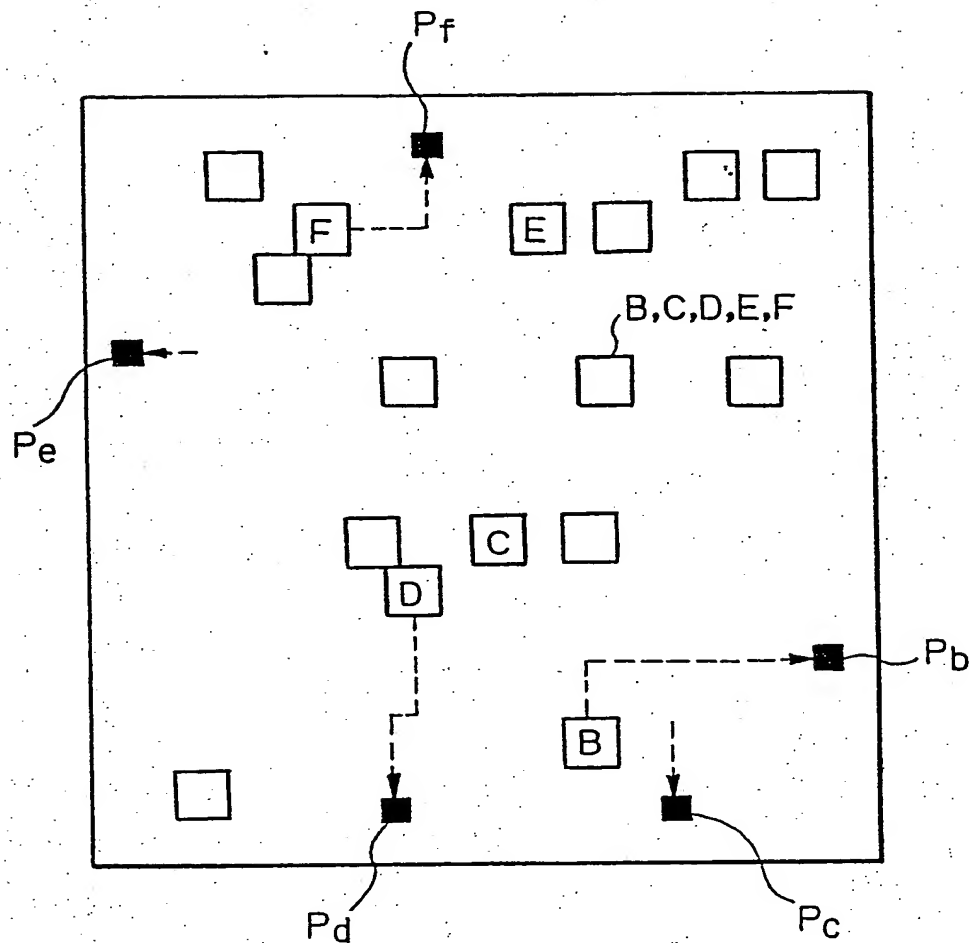


Fig. 18



- ☐ ÜBERGANGSBLOCK
- ☐ B BLOCK; DER SICH AUF STIFT  $P_b$  BEZIEHT
- ☐ C BLOCK; DER SICH AUF STIFT  $P_c$  BEZIEHT
- ☐ D BLOCK; DER SICH AUF STIFT  $P_d$  BEZIEHT
- ☐ E BLOCK; DER SICH AUF STIFT  $P_e$  BEZIEHT
- ☐ F BLOCK; DER SICH AUF STIFT  $P_f$  BEZIEHT



Fig. 19A

Fig. 19

Fig. 19A Fig. 19B

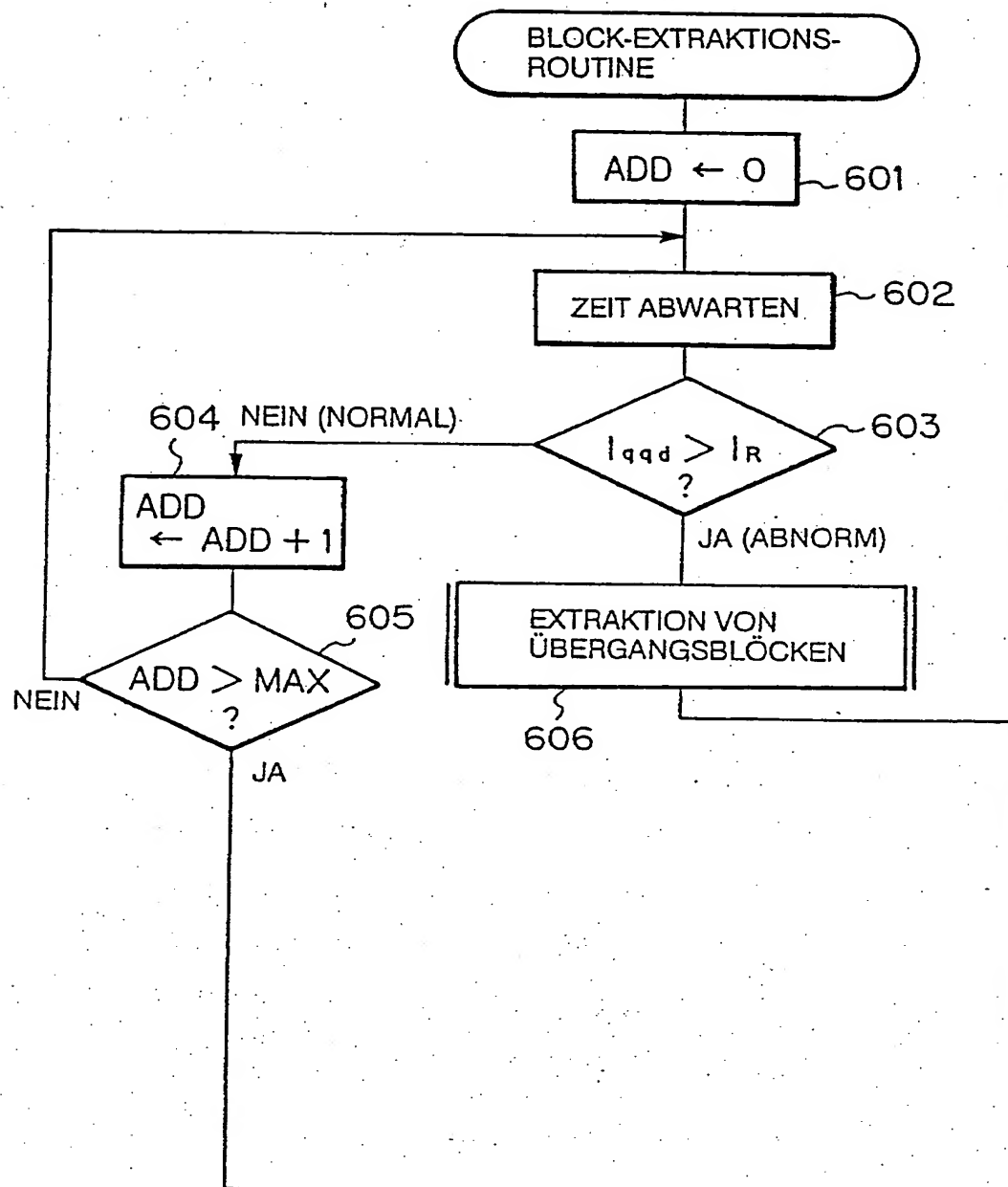


Fig. 19B

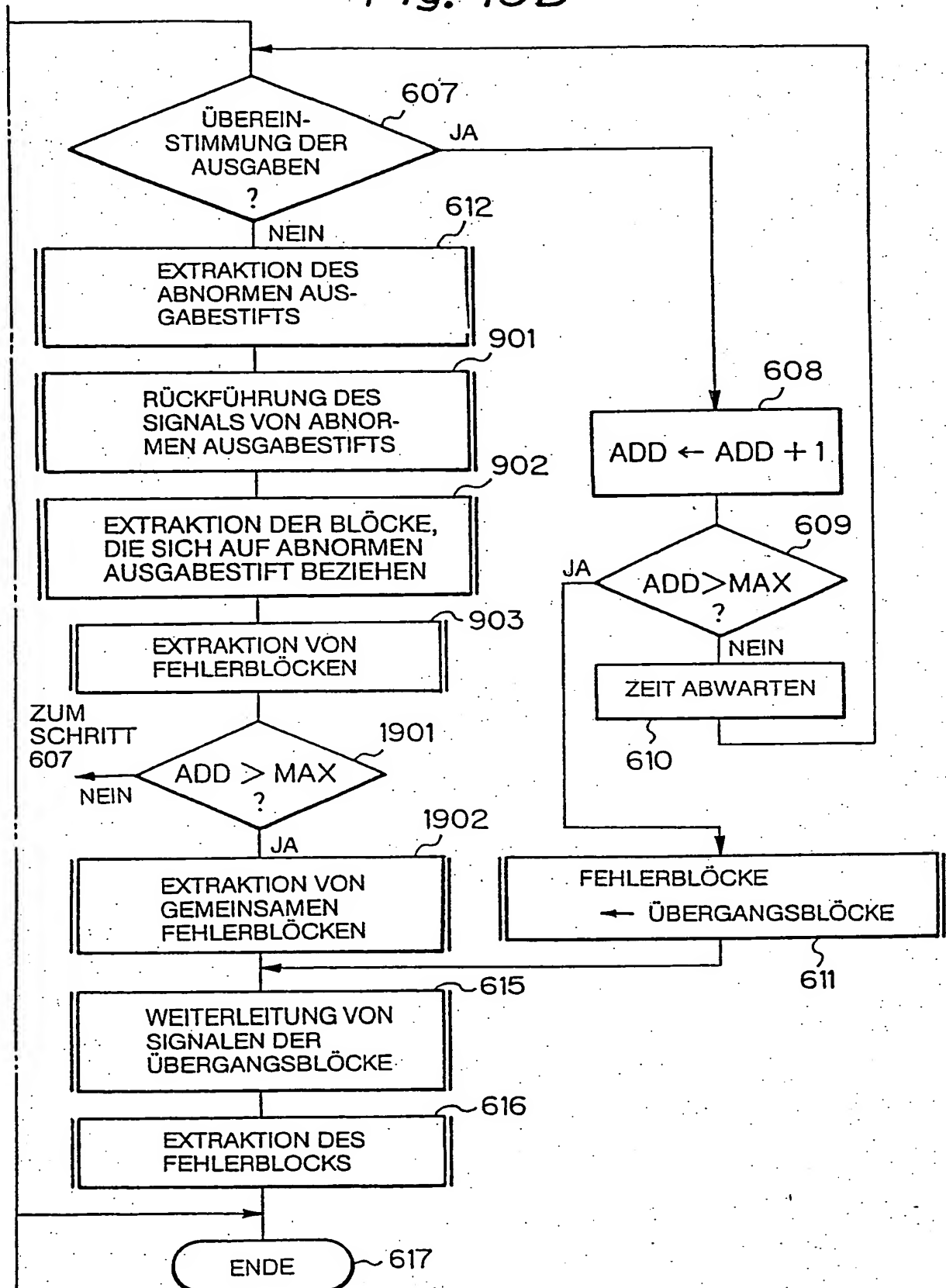


Fig. 20

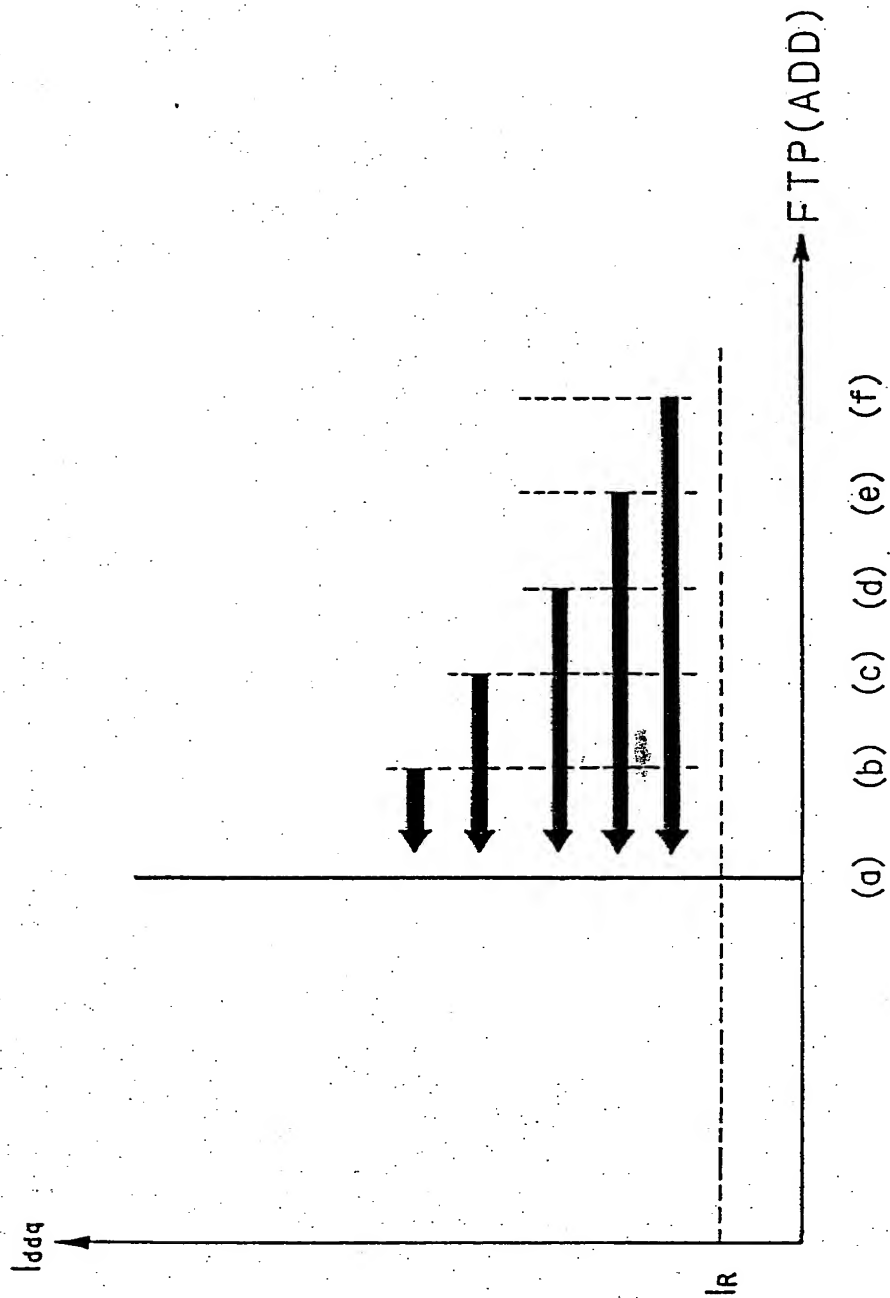
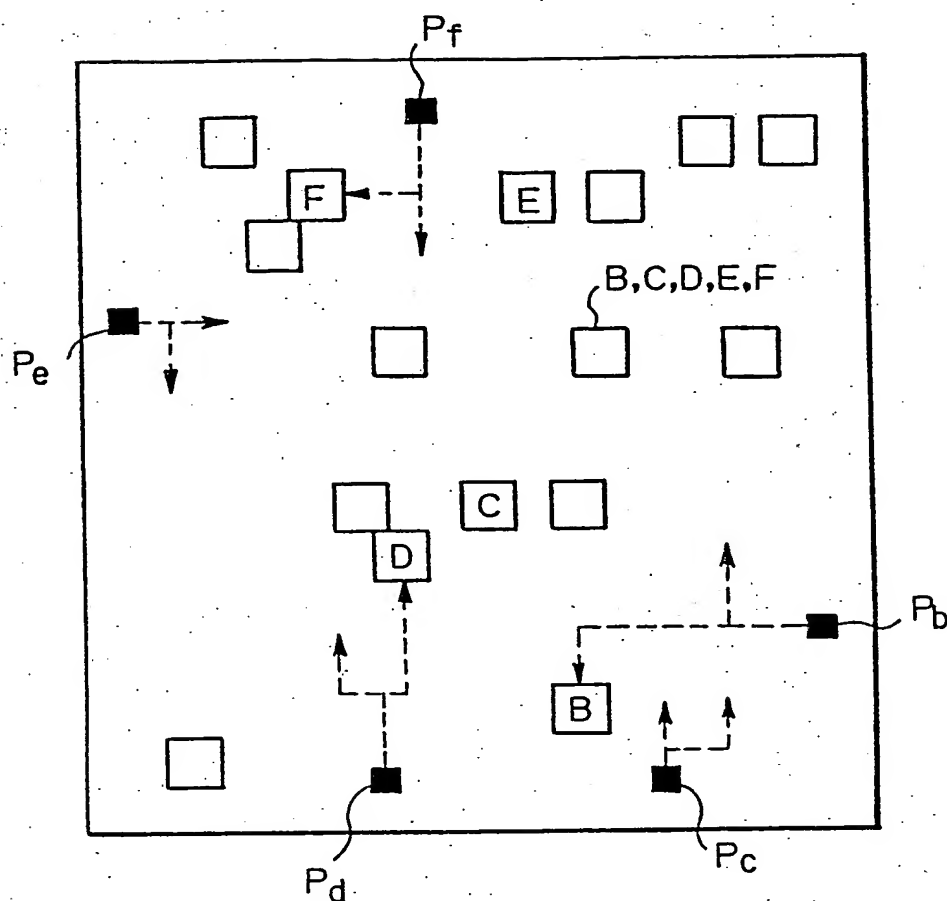
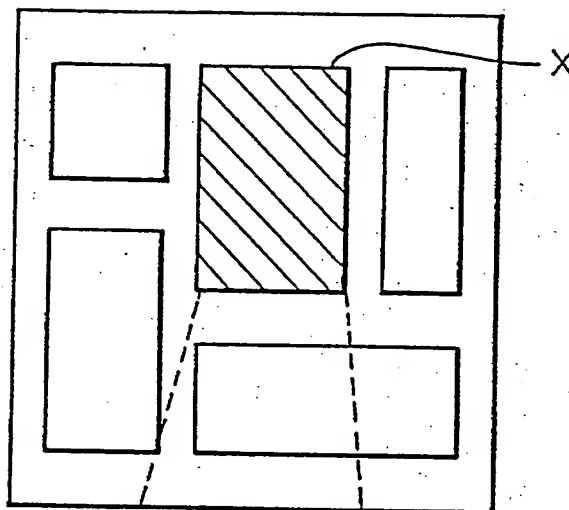


Fig. 21

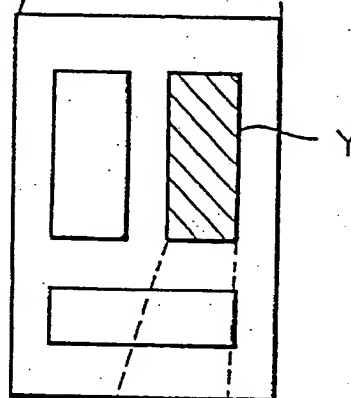


- ÜBERGANGSBLOCK
- [B] BLOCK; DER SICH AUF STIFT P<sub>b</sub> BEZIEHT
- [C] BLOCK; DER SICH AUF STIFT P<sub>c</sub> BEZIEHT
- [D] BLOCK; DER SICH AUF STIFT P<sub>d</sub> BEZIEHT
- [E] BLOCK; DER SICH AUF STIFT P<sub>e</sub> BEZIEHT
- [F] BLOCK; DER SICH AUF STIFT P<sub>f</sub> BEZIEHT

*Fig. 22A*



*Fig. 22B*



*Fig. 22C*

